

[White Paper]

ACVS

: Advanced Channel Verification System

Simulation
Next/X



JANUARY 2025

Revision History

Ver.	Date	Author	Modification Details
1.0	2024.1.26	Charlie Jeung (CEO/Huwin)	- Initial version
1.1	2025.1.22	Ethan Cho (CTO/Huwin), Charlie Jeung (CEO/Huwin)	- 2025 update

Table of Contents

- 1. Introduction6**
- 2. ACVS7**
- 2.1. What’s ACVS.....8**
- 2.2. Why ACVS.....8**
 - 2.2.1. Advanced high speed Channel Technical Issues 11
 - 2.2.1.1. HBM3(E) 12
 - 2.2.1.2. (LP)DDR5(x) 13
 - 2.2.1.3. GDDR6 15
 - 2.2.1.4. PCIe Gen5,6 16
 - 2.2.1.5. UCIe 16
 - 2.2.2. ACVS Solver (SimNX).....19
 - 2.2.3. ACVS S-tools.....22
- 2.3. How to use ACVS27**
 - 2.3.1. Ch. Model extraction.....27
 - 2.3.2. ACVS 분석 사례29
 - 2.3.3. ACVS Analysis setup.....32
 - 2.3.4. ACVS Ch. Verification Report.....43
 - 2.3.4.1. Full Ch. Basic SI report and Output 43
 - 2.3.4.2. Full Ch. Eye report..... 45
 - 2.3.4.3. ChartNX 46
- 2.4. * snpview.com47**
- 2.5. Summary.....51**
- 2.6. Reference.....51**

List of Figures

Figure 1.	ACVS : Auto. Ch. configuration/simulation and reporting	8
Figure 2.	고속 디지털 채널의 일반적인 Signal Integrity 분석 절차.....	9
Figure 3.	SI/PI 분석의 정확도와 효율 향상을 위한 Simulation Integrity 의 중요성.....	10
Figure 4.	칩렛 패키징 기술 (CoWoS) [1].....	11
Figure 5.	AMD 의 신규 AI 반도체 MI300 구조 [2].....	12
Figure 6.	HBM3 의 DQ Receiver Eye Mask [3].....	12
Figure 7.	HBM3 표준 Net 구성 및 Tech. issues	13
Figure 8.	HBM3 analysis example (ACVS).....	13
Figure 9.	DDR5 analysis (ACVS).....	14
Figure 10.	DDR5 analysis (ACVS).....	14
Figure 11.	Example System view for x16 mode GDDR6 [6]	15
Figure 12.	UCIe 의 PHY 및 고속 신호 배선 구조 및 sideband signaling (800MT/s) [7].....	16
Figure 13.	UCIe 의 Eye Mask 형식 규격 [7]	16
Figure 14.	주파수 영역 (VTF) 전달 함수 시뮬레이션 위한 회로	17
Figure 15.	주파수 영역 (VTF) 전달 함수 시뮬레이션 위한 회로	17
Figure 16.	DIE-to-DIE 연결을 위한 UCIe (Universal Chiplet Interconnect Express)을 적용한 Open Chiplet Platform [8].....	18
Figure 17.	SimNX : Simulation Next X.....	19
Figure 18.	Extrapolation for extracting causal time response	19
Figure 19.	ACVS Hybrid type analysis: Non-LTI(Transient sim.) + LTI (AMI model)	20
Figure 20.	Full transient 결과 비교 (standard spice vs. ACVS).....	20
Figure 21.	Supports Fully Automated AMI Simulation Including All Crosstalk Effects	21
Figure 22.	ACVS S-Designer (S-parameter model generation).....	22
Figure 23.	ACVS S-Correction (S-parameters model correction)	23
Figure 24.	ACVS Line-FEM Pro (high-precision transmission line design tool)	24
Figure 25.	ACVS PerfectCal Pro: Professional grade 2xThru de-embedding tool	25
Figure 26.	ACVS Line-FEM Pro (high-precision transmission line design tool)	26
Figure 27.	EM 분석 및 모델 추출 과정	27

Figure 28. PCB/PKG CAD file Import 후 구조 및 Stackup 정보 파라미터 입력.....	28
Figure 29. BGA 부분의 신호 인가를 위한 포트 설정	28
Figure 30. ANSYS HFSS FEM 의 어댑티브 메쉬 (Adaptive Meshing) 과정.....	28
Figure 31. EM 분석 결과 , 반사 손실	29
Figure 32. EM 분석 결과, 삽입 손실	29
Figure 33. EM 시뮬레이션 모델링 및 ACVS 검증	30
Figure 34. ACVS 채널 설계 검증 과정.....	30
Figure 35. 수정 전 아트웍에 대한 ACVS TDR/RL => Eye/BER 검증.....	31
Figure 36. 수정 후 아트웍에 대한 ACVS TDR/RL => Eye/BER 검증.....	31
Figure 37. 수정 전 아트웍 ACVS FEXT => Eye/BER 검증.....	31
Figure 38. 수정 후 아트웍 ACVS FEXT => Eye/BER 검증.....	31
Figure 39. ACVS Build Project, Model Drag & Drop.....	32
Figure 40. ACVS Ch. Rule setup.....	33
Figure 41. Multi DIE 분기 구조 예 (Clamshell configuration).....	34
Figure 42. Port Termination for multi DIE configuration	34
Figure 43. 대용량 S-parameter 예 : 536ports, 47GB file size.....	35
Figure 44. ACVS Header Editor 및 Freq. Info.	35
Figure 45. ACVS Transient analysis setup (write/read).....	36
Figure 46. ACVS Hawk-dye / PRBS setup.....	36
Figure 47. ACVS Transient simulation setup (Fast/Optimal/Strict)	37
Figure 48. ACVS Hawk-Eye Fast/Optimal/Strict vs. PRBS: bits 수 및 결과 비교	37
Figure 49. ACVS Transient Simulation setup (AMI mode, Auto Selection, Delay removal).....	38
Figure 50. ACVS 채널 구성 with Tx, Rx (Ideal source, IBIS, IBIS-AMI) model.....	39
Figure 51. ACVS delay removal.....	40
Figure 52. ACVS Ch. Spec. 설정: Data rate, SDR/DDR/QDR, timing/voltage Mask 등	40
Figure 53. ACVS UI mode 'Smart pick' Ch. configuration	41
Figure 54. ACVS Scheduler.....	42
Figure 55. ACVS Analysis progress Status.....	42

Figure 56. ACVS Results.....	43
Figure 57. ACVS Basic SI results and output.....	43
Figure 58. ACVS TDT/TDT 결과 차트 및 NEXT, FEXT 정의	44
Figure 59. ACVS Eye diagram/BER Chart and Chart viewer	45
Figure 60. ACVS Measured Eye results	45
Figure 61. ACVS PAM4(Modulation Levels =4) 신호 wave form view.....	46
Figure 62. ChartNX: The Advanced and Innovative Standalone Charting Tool.....	46
Figure 63. Snpview.com/ SnpView : differential TDR plot example.....	47
Figure 64. Snpview.com : Snp heal , results/comment view Share.....	47
Figure 65. SnpView.com / ChannelView : Ch. Setup (Tx/Snp/RLC/Rx).....	48
Figure 66. Snpview. com / ChannelView : Ch. S-parameter(Snp) setup.....	48
Figure 67. SnpView.com / ChannelView : Ch. Results plot.....	49
Figure 68. SnpView.com / ChannelView : Tx/Rx Driver/Jitter/EQ setup	49
Figure 69. SnpView.com : PerfectCal® -> free Deembedding	50

List of Tables

Talbe 1. 각 Solution 별 Simulation Integrity 비교.....	11
Talbe 2. ACVS 에서 가능한 Tx, Rx 모델 조합 Case	39

1. Introduction

ACVS 는 한국의 대표적인 메모리 칩 업체의 PKG S-parameter 모델 검증 시스템 개발로부터 시작하였습니다. 최초 개발된 시스템은 2017 년도에 구축되어 지속적으로 업그레이드 되었으며, 현재는 모든 PKG 모델의 주파수 및 시간 도메인 파라미터 검증의 sign-off 시스템으로 활용되고 있습니다.

Huwin 은 이후에 PKG 검증 주파수 및 시간 도메인 해석 엔진을 PCB 포함한 자동 채널 검증 시스템으로 확장하여 ACVS(Advanced Channel Verification System) 으로 상용화 하였으며, 특히 2020 년도부터는 최신 초고성능 AI 칩의 NPU 와 Memory 연결 PKG/PCB 분석에 활용하였고, 이를 통해 한국의 14 개사 AI 팹리스 업체의 신규 AI 칩에 대한 채널 검증으로 모두 첫번째 팹아웃 버전에 대해 칩 동작이 성공하는데 기여하였습니다.

Huwin 은 2010 년 ANSYS EM 모델링의 전문성을 가진 엔지니어링 기업으로 Charlie Jeung (CEO, sijeung@huwin.com) 가 창업하였고 초기부터 ACVS R&D Team 을 구성하여 EM 분석 자동화와 채널 검증 자동화를 위해 14 년간 ACVS 를 개발해 왔습니다.

현재 R&D Team 을 이끌고 있는 Ethan Cho (CTO, jycho@huwin.com) 는 KAIST 박사 과정에서 Huwin 의 주파수 및 시간 영역 솔버(Freq. and Transient Solver) 의 개선을 연구하였습니다.

Global Market 의 PKG 및 팹리스 업체와 시스템 개발 업체에 ACVS 소개를 위해 2019 년부터 DesignCon 전시와 Marketing 을 Brian Lee (CMO, brian.lee@huwin.com) 가 추진하고 있으며, 고객사의 요구에 맞게 customization 통한 환경 구축이 가능하도록 지원하는 역할을 하고 있습니다.

Huwin 은 최신 Advanced Ch. 의 SI 문제를 검증하는 ACVS 가 모든 Ch. SI 검증의 공통적인 표준 솔루션이 될 수 있도록 지속적으로 업계와 협업을 진행하고 있습니다.

Web-base 의 무료 S-parameter Ch. Model simulation 환경(snview.com)도 제공하고 있으며, 이를 통해 S-parameter 검증을 필요로 하는 고속 신호 SI 엔지니어가 간편하게 채널 S-parameter model 을 분석하고 결과를 공유할 수 있도록 하고자 합니다.

Contact Info.:

ACVS 의 소개 및 평가가 필요하신 경우 아래의 이메일로 연락 주시기 바랍니다.

brian.lee@huwin.com

ACVS 의 기술적인 문의는 아래의 이메일로 연락 주시기 바랍니다.

jycho@huwin.com

2. ACVS

Contents :

2.1 What's ACVS

2.2 Why ACVS

2.2.1 Advanced high speed Channel Technical Issues

2.2.1.1 HBM3(E)

2.2.1.2 (LP)DDR5(x)

2.2.1.3 GDDR6

2.2.1.4 PCIe Gen5,6

2.2.1.5 UCIe

2.2.2 ACVS solver (SimNX)

2.2.3 ACVS S-tools

2.3 How to use ACVS

2.3.1 Ch. Model extraction

2.3.2 ACVS 분석 사례

2.3.3 ACVS Analysis setup

2.3.4 ACVS Ch. Verification Report

2.3.4.1 Full Ch. Basic SI report

2.3.4.2 Full Ch. Eye report

2.3.4.3 ChartNX

2.4 * Snpview.com

2.1. What's ACVS

ACVS(Advanced Channel Verification System)는 최신 메모리 및 고속 Serdes 채널에 대한 자동화 분석 및 검증 솔루션 시스템입니다.

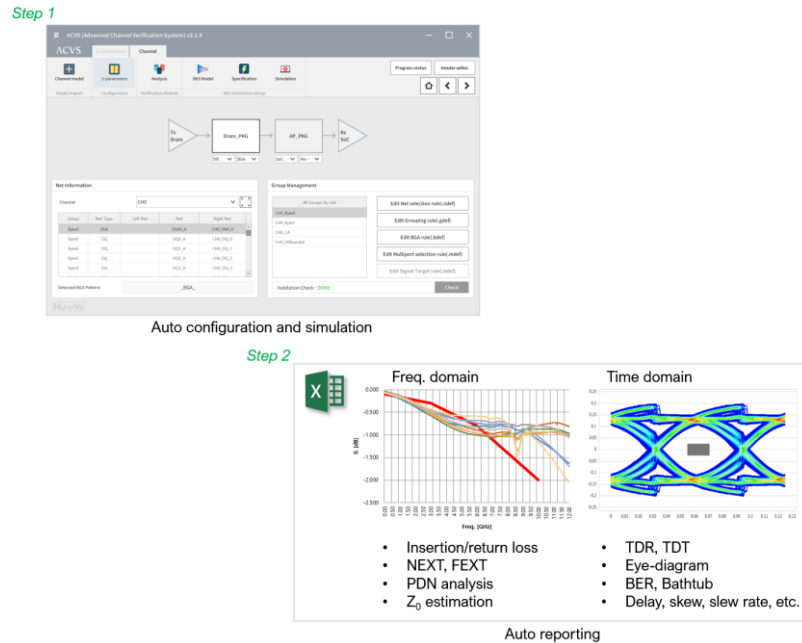


Figure 1. ACVS : Auto. Ch. configuration/simulation and reporting

ACVS 는 '칩렛 이중집적 고성능 AI 반도체 개발'의 정부 과제를 통해서 칩렛 인터페이스 검증에 특화된 SI/PI 시뮬레이터로도 개발을 진행하고 있습니다.

2.2. Why ACVS

최근 ChatGPT, 자율주행 등 AI 기반 반도체 수요가 증가하면서 고성능 칩간 데이터를 고용량 고속으로 전달하는 Interface 의 설계가 증가하고 있으며, Advanced high speed Ch. 의 설계를 포함하는 경우 칩 설계 못지않게 칩간 데이터 전송 설계가 critical 한 이슈가 되고 있습니다.

고성능 칩간 데이터 전송을 성공시키는 것이 칩 동작에 필수적인 칩렛 기반 설계나, SiP 설계 또는 패키지나 PCB 설계에서 신호 전송의 문제가 되는 부분을 전체 nets 의 full analysis 를 통해 찾아 내야 하는데, 기존 설계 Flow 대비 full analysis 및 검증 리포트를 빠르게 얻을 수 있는 방법을 위해 이에 최적화된 ACVS 솔루션이 개발되었습니다.

고속 디지털 채널에 대한 일반적인 Signal Integrity 분석 절차는 Figure 2. 와 같습니다. 특히 고성능 AI 반도체 칩렛 패키지의 경우 대부분 초고속 초고밀도 특성을 지닌 채널 표준을 적용하기 때문에 설계의 안정성을 보장하기 위해 정밀한 Signal Integrity 성능 분석이 필수적입니다.

구체적인 절차로는 우선 분석 대상 (분석 표준 및 대상 Nets)을 선정한 뒤 EM simulation 을 이용하여 S-parameters 추출을 진행합니다. S-parameters 는 각 Net 의 전기적인 특성을 주파수 영역 응답으로 표현한 파라미터이고 다양한 SI/PI 분석의 입력 항목으로 사용될 수

있습니다. 여기서 EM simulation 에는 ANSYS 의 SIwave 나 HFSS 등의 simulator 를 이용할 수 있습니다. EM simulation 과정은 각 Net 의 Port 설정과 주파수 범위 지정으로 이루어지며 이후 설명될 System simulation 에 비해 상대적으로 분석이 용이하며 자동화가 가능합니다.

두번째로 진행될 분석 과정은 System simulation 으로 실제 채널 시스템을 회로로 구성하고 각 분석 항목에 따른 시뮬레이션 설정을 통하여 결과를 도출하는 것입니다. 이 과정에서 ACVS 가 사용되며 ACVS 분석은 Basic SI 분석과 Advanced SI 분석으로 구분되어 진행됩니다.

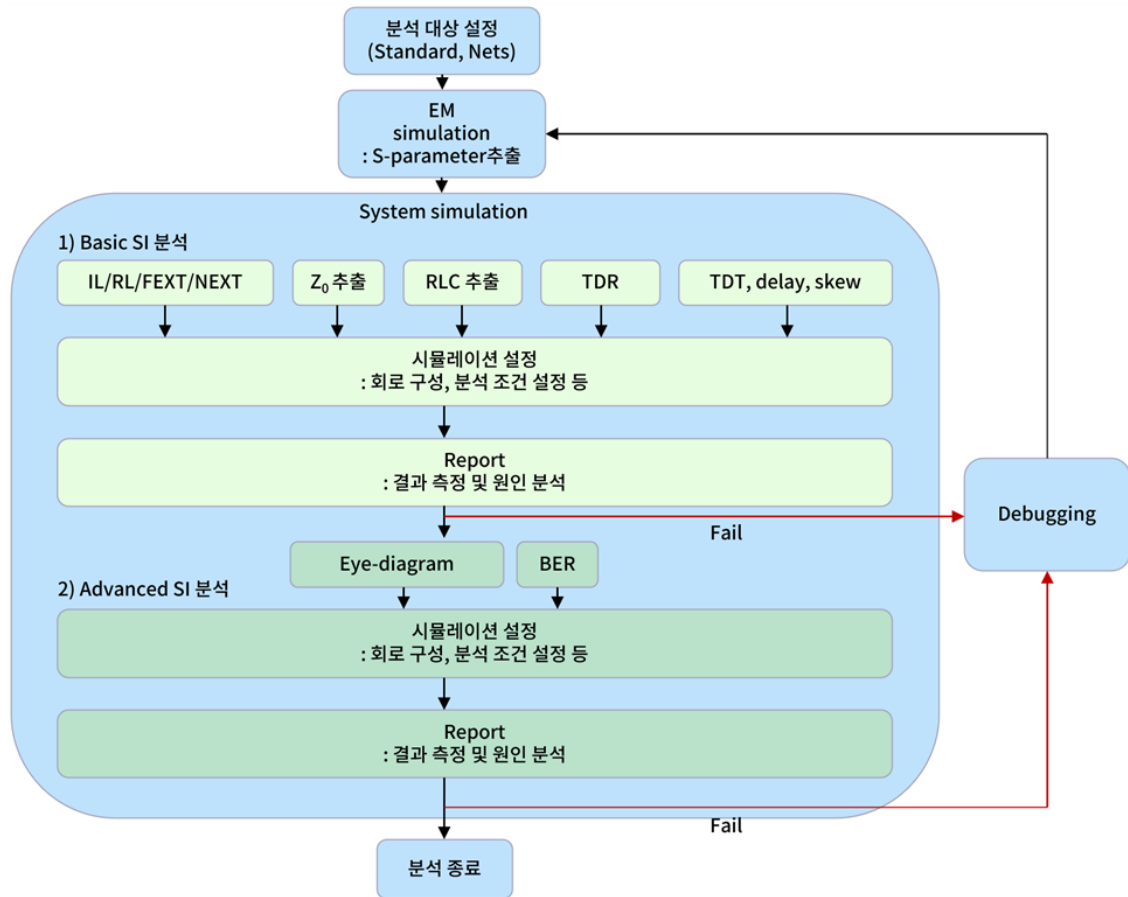


Figure 2. 고속 디지털 채널의 일반적인 Signal Integrity 분석 절차

ACVS Basic SI 분석은 채널 시스템의 Signal Integrity 성능 필수 항목을 파악할 수 있는 과정입니다. 여기에는 Insertion loss/Return loss/FEXT/NETX, 특성 임피던스 추출, 등가 RLC 추출, TDR (Time-domain reflectometer), TDT (Time-domain transmission), delay, skew 확인 등이 있습니다. 이 과정에서 분석 항목이 다양하여 기존 방식의 회로 구성과 시뮬레이션 설정 및 결과 측정에는 많은 수고와 시간이 요구되나, ACVS 는 이 모든 과정과 reporting 을 자동화하여 1 시간 이내에 모든 결과의 리포트 생성과 확인이 가능합니다. Basic SI 분석에서 채널의 성능이 확인되었다면 결과에 따라 Debugging 혹은 Advanced SI 분석을 진행할 수 있습니다.

ACVS Advanced SI 분석에는 Eye-diagram 및 BER 항목 등이 있는데, Chip 에 대한 IBIS-AMI model 을 채널 시스템에 적용하여 실제 Chip 이 동작하는 환경을 구성하고 시간 영역의 출력 파형을 분석하는 것입니다. 해당 분석 과정에서는 각 Net 에 대한 시뮬레이션 설정이 복잡하고 (Tx/Rx driver 및 EQ 설정) 긴 시뮬레이션 시간이 소요됩니다. 예를 들어 PCIe Gen5

사례의 경우 EQ 의 Adaptation 요구 시간으로 Net 당 2,000,000 bits 의 입력 PRBS 가 요구되기도 합니다.

Power Integrity 분석 절차도 Signal Integrity 분석 절차와 유사하며 주요 분석 항목으로는 Impedance 분석 (DC R 및 AC L 추출, |Z11| 등)이 있습니다.

앞서 설명한 바와 같이 고성능 AI 반도체 칩셋 패키지의 SI/PI 분석은 초고속 초고밀도 채널에 대한 다양한 항목에 대한 분석이 요구되기 때문에 System 분석에 대한 시뮬레이션 정확도/시간/복잡도의 측면을 모두 고려하여야 합니다. 고밀도 배선의 경우 Net 의 수가 많기 때문에 회로구성, 분석 설정, 차트 출력, 결과 측정, Pass/fail 판단등 시뮬레이션의 복잡도가 증가합니다. 또한 초고속 특성상 분석 주파수 대역이 높기 때문에 시뮬레이션의 정확도가 낮아지고 분석 시간이 증가하는 문제가 발생합니다. 따라서 Figure 3. 에서 보여지는 바와 같이 시뮬레이션의 정확도/시간/복잡도에 대한 문제를 해결할 수 있는 Simulation Integrity 에 대한 고려가 필수적이며 ACVS 는 이를 고려하여 최적화된 솔루션입니다.

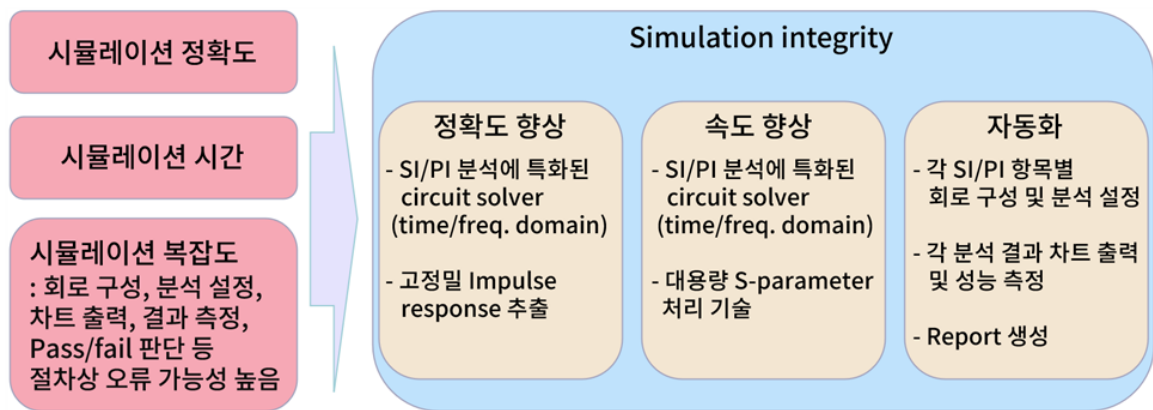


Figure 3. SI/PI 분석의 정확도와 효율 향상을 위한 Simulation Integrity 의 중요성

시뮬레이션 정확도 향상을 위해서는 초고속 채널에 대한 SI/PI 분석에 특화된 Circuit Solver 가 필요합니다. 하지만 대부분의 상용 Solution 들은 모든 응용분야 (RF, 전력전자, Analog, Digital 등)를 대응하기 위하여 개발되었으므로 SI/PI 분석의 정확도에 한계를 가질 수 있습니다. 한 예로 전력 전자 분야에서 처음 적용되었던 Vector fitting 기법은 S-parameters 를 이용하여 등가회로 혹은 시간 응답으로 변환하는 기법으로 현재 SI/PI 분야에도 활용 중인데, S-parameters 의 조건(주파수 대역, 측정 및 추출 환경 등)에 따라서 정확도가 영향을 받는 한계가 있습니다. 또한 초고속 초고밀도 채널에 대한 S-parameters 는 주파수 대역이 넓고 파라미터 항목이 많아서 용량이 수~수십 Giga byte 에 이르기도 합니다. 이 경우 앞서 설명한 일반적인 Circuit Solver 에서는 연산 속도가 크게 저하되는 문제를 가지게 됩니다.

또한, 고밀도 배선에 대해 다양한 분석 항목을 진행하기 위해서는 많은 수고와 시간이 요구되는데 이 과정에서 분석 절차상의 오류가 빈번하게 발생하여 분석 결과의 신뢰성이 악화되는 문제까지 이어질 수 있습니다. 따라서 일부 기업은 자체 In-house tool 등을 개발하여 SI/PI 분석의 복잡도를 완화시키고 있습니다. 하지만 대부분 기존 Circuit Solver 를 자동화하는 구성으로 해당 Solution 이 가진 정확도/연산 시간 문제는 해결되지 않는 문제가 있습니다. Table 1. 은 일반적인 Circuit Simulator 와 SI/PI 분석 전용 솔루션에 대한 특징을 비교하고 있다. SI/PI 분석 전용 솔루션은 점차 일반화되고 있는

추세이며 한국에서는 HUWIN 이 ACVS (Advanced Channel Verification System) Solution 을 통해 국내 주요 반도체 및 디자인하우스 기업(메모리/비메모리/AI 칩 등)에 SI/PI 분석 전용 솔루션 및 기술 지원을 제공하고 있습니다.

Table 1. 각 Solution 별 Simulation Integrity 비교

종류	시뮬레이션 정확도	시뮬레이션 시간	시뮬레이션 복잡도
기존 일반적인 Circuit Simulator	모든 응용 분야에 대응하기 위하여 개발된 Solver 로써 SI/PI 분석에 특화된 연산 성능 부족	대용량 S-parameter 처리에 약점을 가지고 있으며 특히 Transient 및 AMI simulation 의 연산 효율이 낮음	회로 구성, 분석 설정, 차트 출력 및 측정까지 모두 사용자에게 의해 수행되어야 하며 복잡도가 높고 절차 오류 가능성이 높음
SI/PI 분석 전용 Solution: ACVS	SI/PI 분석에 특화하여 개발된 Solver 의 사용으로 연산 정확도 최대화 가능	대용량 S-parameter 처리 및 IBIS-AMI simulation 에 연산 효율 극대화 가능	분석 전과정을 자동화하여 복잡도가 낮고 분석 절차의 오류 억제 가능

Huwin 의 ACVS 는 채널 검증을 위한 customized 된 솔루션으로 구축이 가능합니다. 즉 고객사의 설계 Flow 및 분석 방법론에 맞춰 PKG/PCB 또는 Silicon interposer 와 같은 interconnection 설계에서 Design 검증 단계별로 규격화된 sign-off 검증 툴로 사용할 수 있습니다.

2.2.1. Advanced high speed Channel Technical Issues

칩렛 기술은 Monolithic 공정과 달리 이종 공정에서 제조된 기능별 Die 를 조합하여 하나의 패키지로 구성하는 특징을 가집니다. Figure 4. 는 TSMC 3D 패키징 CoWoS 기술의 사례입니다. 해당 사례에서는 SoC Die 와 HBM Die 를 하나의 패키지 위에서 구성하였으며, 이러한 구성에는 RDL, Silicon Bridge, Interposer 등의 기술이 적용됩니다.

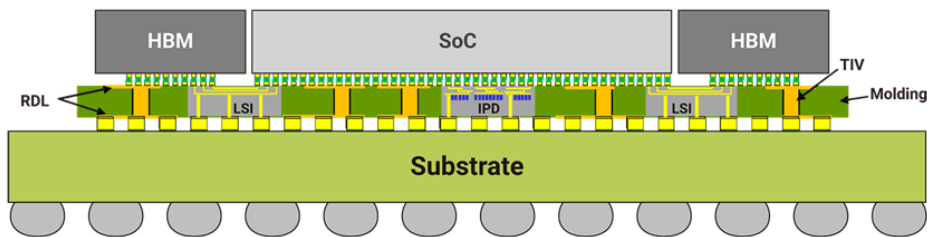


Figure 4. 칩렛 패키징 기술 (CoWoS) [1]

Figure 5. 는 AMD 의 AI 반도체 MI300 모델에 대한 구성도입니다. 해당 모델은 GPU, CPU, HBM3 를 조합하여 구성되었습니다. AI 반도체의 고도의 데이터 처리 및 연산을 위해서 고성능 Memory 가 필요한데 여기서는 6Gbs 의 전송 속도를 갖는 HBM3 가 적용됨을 알 수 있습니다. HBM3 연결은 Interposer 기술이 적용되었는데 초고속 초고밀도 I/F 에 대한 성능을 보장하기 위하여 Signal integrity 분석이 매우 중요하게 됩니다.

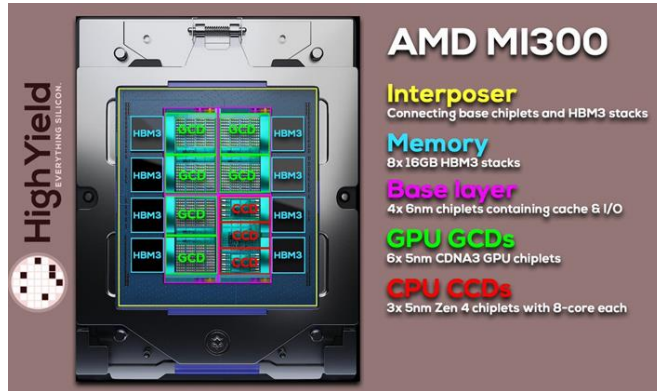


Figure 5. AMD의 신규 AI 반도체 MI300 구조 [2]

위 사례와 같이 최근 High performance chip 간 interface 로 사용되는 주요 설계 규격에는 HBM3(E) , (LP)DDR5(x), GDDR6, PCIe Gen5,6 , UCIe 등이 있으며 각각의 기술적인 주요 특징은 아래와 같습니다.

2.2.1.1. HBM3(E)

HBM3(E)는 고성능 AI 칩에서 필요로 하는 high-speed 대역폭과, low power operation 을 가능하게 하며 DDR 64 bit data bus 로 구성되며, 최대 16 채널까지 가능합니다. DQ 속도는 4.8Gbps ~6.4Gbps, 8Gbps(HBM3E) 이고, DQ Rx Mask 전압은 120mV 입니다.

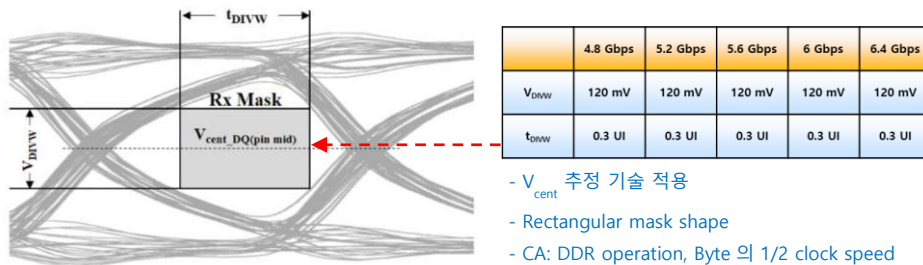


Figure 6. HBM3의 DQ Receiver Eye Mask [3]

HBM3 선로는 Figure 7. 과 같이 smaller size 및 narrower space 이슈로 인해 전류 경로의 저항 증가 및 커플링 증가로 인한 신호 간섭과 return path 설계 이슈를 가지고 있습니다. 그러므로 HBM3 분석에서는 전체 채널 net 를 포함하여 Transient waveform 분석을 통한 검증이 필수적입니다.

또한 Receiver 의 buffer 는 Figure 8. 과 같이 open model (capacitive load) 이므로 transient 시뮬레이션 시 Tx 와 채널 모델 및 Rx 의 Impedance 불연속으로 인한 Solver 발산 이슈와 분석 속도 저하 문제가 있을 수 있습니다.

ACVS 는 HBM3 전체 net 의 특성을 반영하는 대용량 S-parameter 를 입력하여 전체 cross-talk 를 반영한 Transient 분석 시 Solver 발산 이슈와 연산 속도 저하 문제없이 분석이 가능하도록 개발되었습니다.

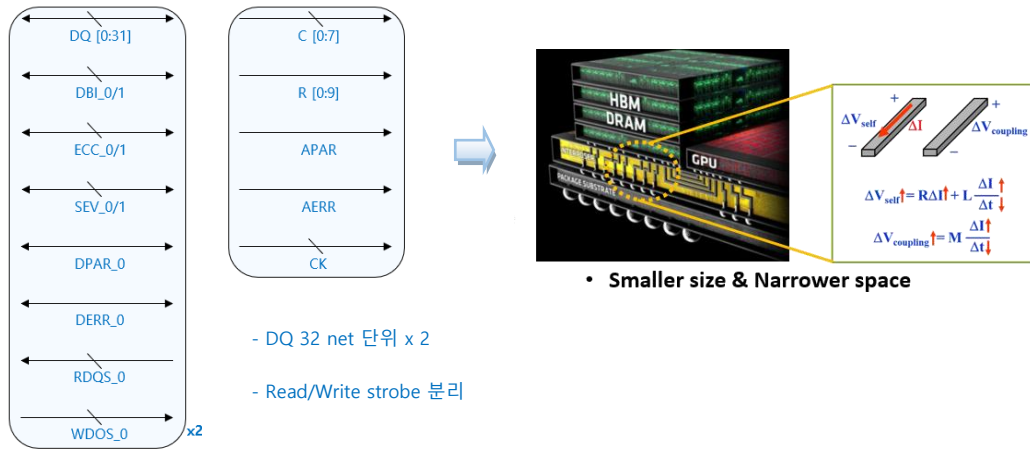


Figure 7. HBM3 표준 Net 구성 및 Tech. issues

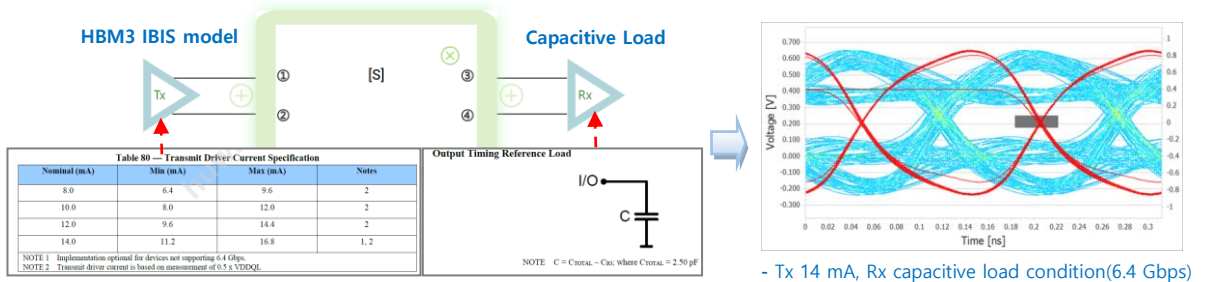


Figure 8. HBM3 analysis example (ACVS)

2.2.1.2. (LP)DDR5(x)

(LP)DDR5(x)는 신호 속도가 빨라지고 데이터 용량이 커짐에 따라 이를 대응하기 위한 Tx, Rx 모델로 설계가 되어 있으며 이를 이용하여 시스템 시뮬레이션을 수행하기 위해서는 칩 동작을 반영하는 특화된 시뮬레이터가 필요하게 됩니다. [4,5]

ACVS는 Figure 9. 와 같이 DDR5와 같은 채널을 실제 칩의 동작과 같게 시뮬레이션 할 수 있도록 single ended IBIS-AMI 모델과 single ended signal rising/falling edge response 를 반영하여 분석이 가능하도록 하였습니다. 또한 AMI 모델 이용한 분석에서도 전체 net 의 cross-talk 가 모두 반영되도록 하였습니다. 각 net 별로 칩의 Tx-Rx training 에 따른 DC offset 이 자동으로 계산되고, 각 net 별로 forward clocking 에 의한 DQ-DQS 의 정렬이 된 상태로 Eye 결과를 얻을 수 있도록 개발 되었으며 이에 대한 순차적인 연산 과정은 Figure 10. 에 보여지고 있습니다.

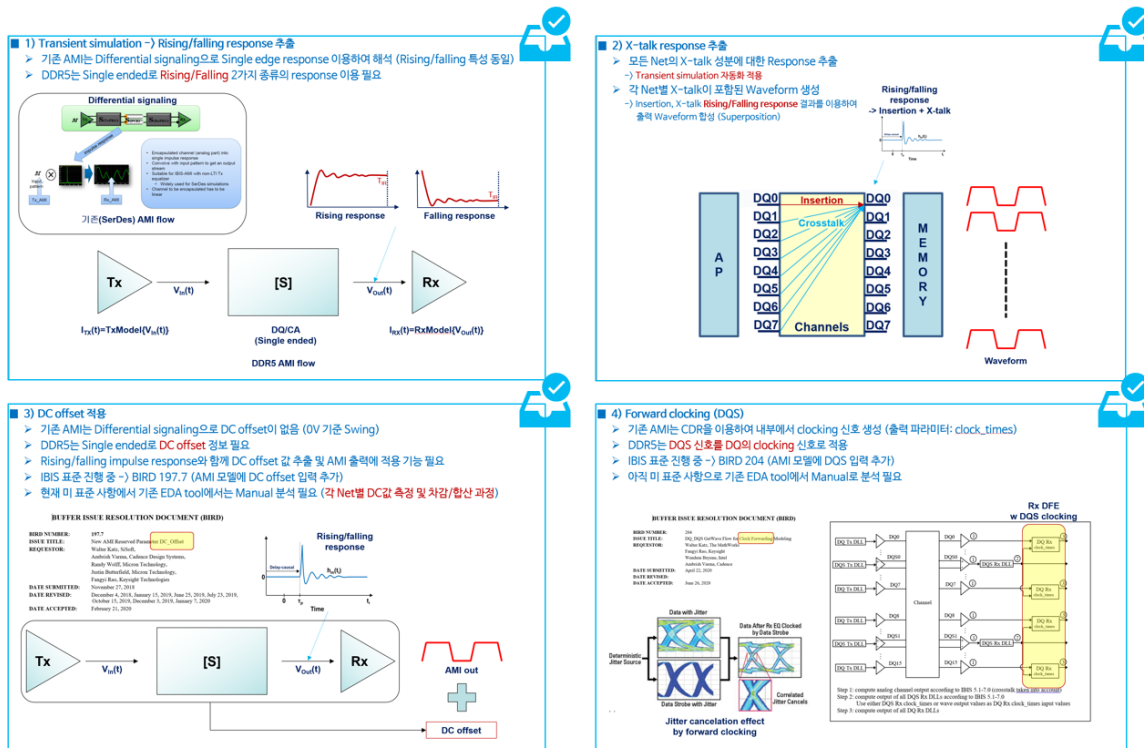


Figure 9. DDR5 analysis (ACVS)

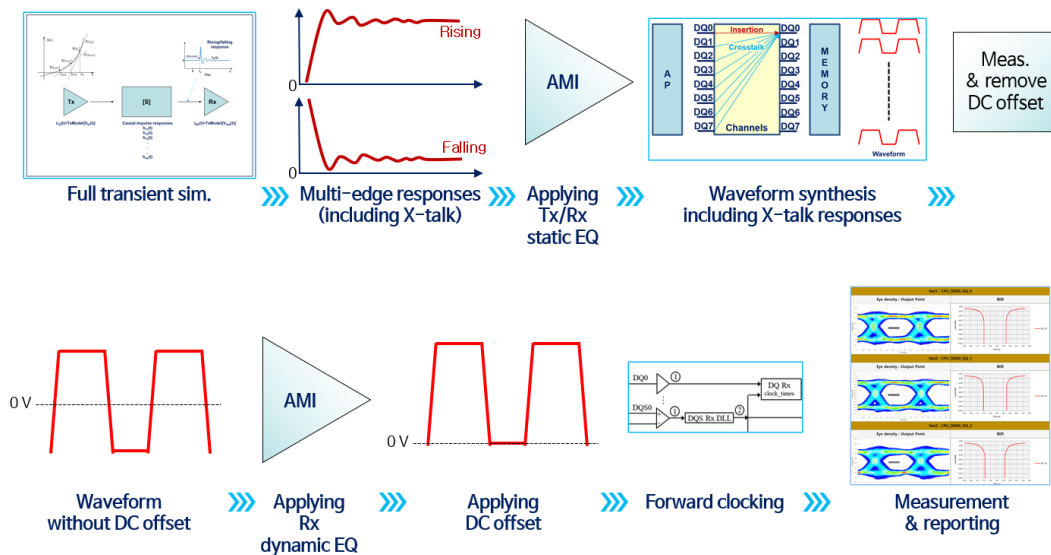


Figure 10. DDR5 analysis (ACVS)

2.2.1.3. GDDR6

GDDR6 는 고성능 AI 칩에서 요구하는 고속(16Gbps) 및 광 대역 저전력 메모리 동작이 가능하도록 하고 있으며, 이를 위해 Figure 11. 과 같이 WCK, EDC signal 을 구성하고 있습니다.

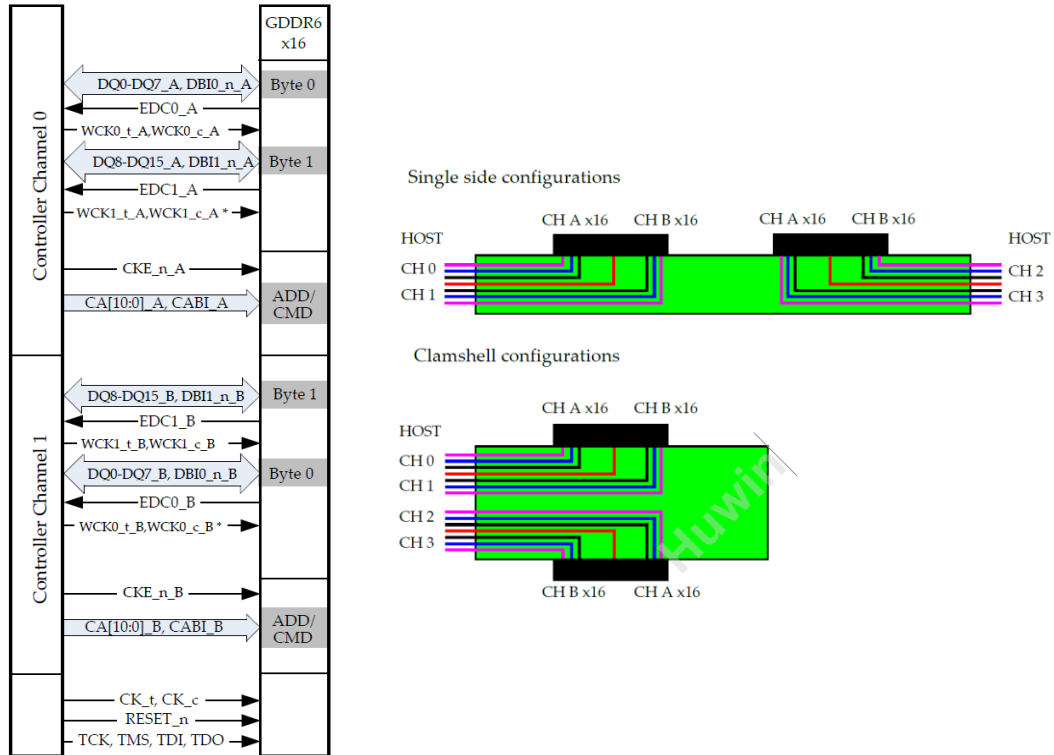


Figure 11. Example System view for x16 mode GDDR6 [6]

GDDR6 의 경우 매우 많은 net 구성으로 인해 PKG 등에서 매우 고밀도 배선으로 설계가 되므로, Controller 와 Memory 사이 PKG 와 PCB 설계에서 전 채널의 cross-talk 를 반영한 Transient analysis 가 필요하며, 고속 신호의 EQ 를 위한 AMI 분석 기능이 필요합니다.

ACVS 는 GDDR6 분석에서 전 채널 net 의 Basic SI 결과 및 cross-talk 반영된 AMI EQ - Eye diagram/BER 등의 시스템 시뮬레이션 결과를 통해 채널에서 문제가 될 수 있는 SI 부분의 검증 리포트를 자동으로 생성하여 빠른 디버깅 과정이 가능하도록 합니다.

2.2.1.4. PCIe Gen5,6

PCIe Gen5 는 32GT/s 의 Serdes 신호 전송의 규격이며, 2022 년 PCIe Gen6 규격 최종안이 확정되었으며 이는 64GT/s, x16 lanes 로 구성되어 최대 256GB/s 전송이 가능합니다.

PCIe Gen6 는 Gen5 대비 PAM4 signaling 을 적용하여 대역폭을 2 배로 확장합니다.

2.2.1.5. UCIe

UCIe 는 Universal Chiplet Interconnect Express 의 규격이며 Figure 12. 와 같이 Multi-Die Advanced Package Module 을 설계하는 데 필요한 규격입니다. Main band + side band 구조를 가지며 Main band 에 대해서 Eye-diagram, VTF loss, VTF cross talk 의 spec. 검증이 필요합니다.

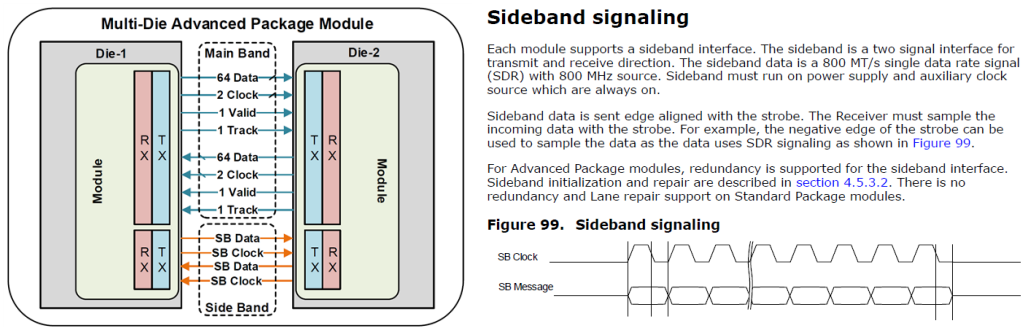


Figure 12. UCIe 의 PHY 및 고속 신호 배선 구조 및 sideband signaling (800MT/s) [7]

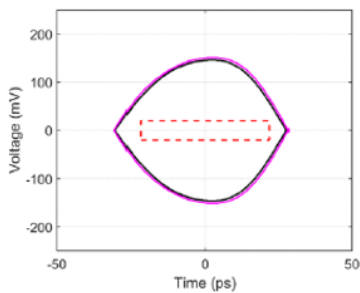


Table 37. Eye requirements

Data Rate (GT/s)	Eye Height (mV)	Eye width (UI)
4, 8, 12, 16 ¹	40	0.75
24, 32 ^{2,3}	40	0.65

1. Rectangular mask
2. With equalization enabled
3. Based on minimum Tx swing specification

Figure 13. UCIe 의 Eye Mask 형식 규격 [7]

UCIe 의 채널 시뮬레이션을 위해서는 IBIS-AMI 모델 이용한 Transient 분석 모듈이 필요하며 추가적으로 VTF 분석 모듈이 필요합니다.

Figure 84. Circuit for VTF calculation

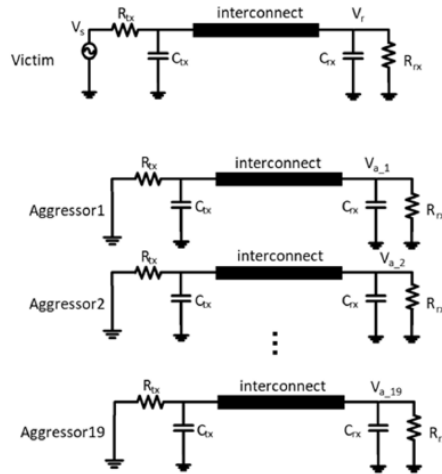
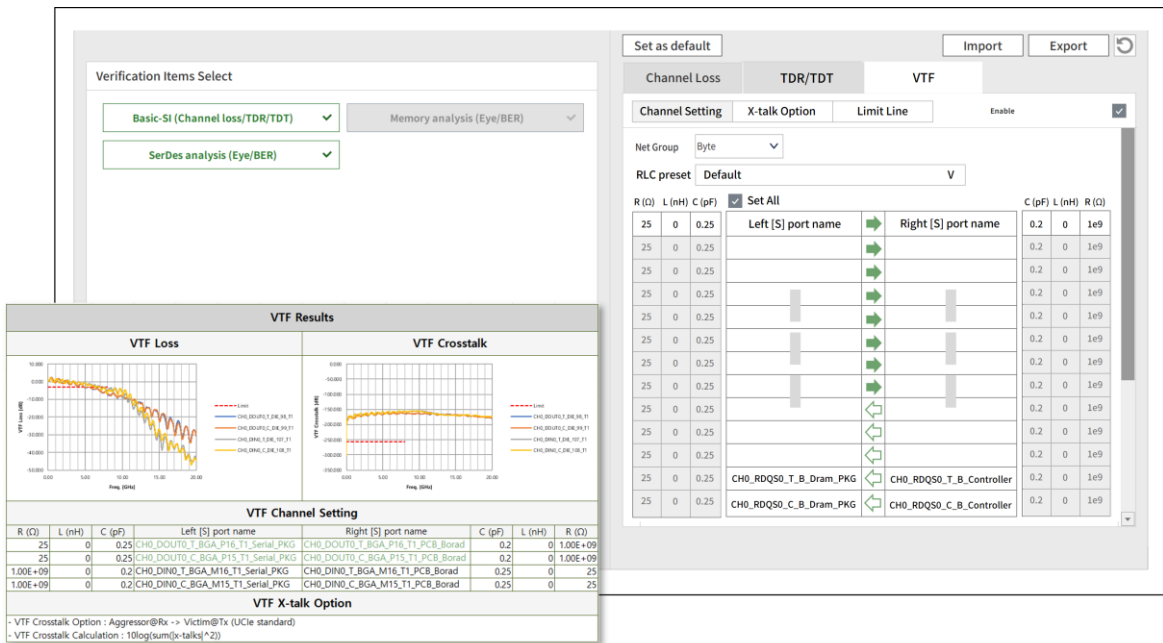


Figure 14. 주파수 영역 (VTF) 전달 함수 시뮬레이션 위한 회로

ACVS 는 UCIE 에 필요한 AMI 분석 및 전체 nets 에 대한 VTF 포함한 Basic SI Spec. 검증 리포트가 가능합니다.



OPEN CHIPLLET: PLATFORM ON A PACKAGE

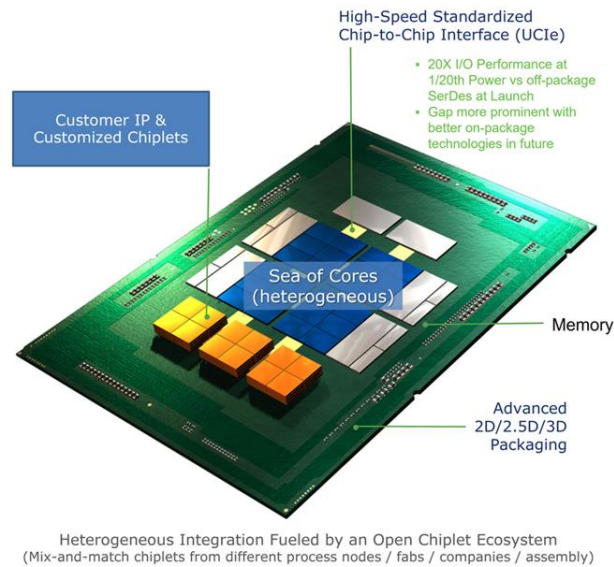


Figure 16. DIE-to-DIE 연결을 위한 UCIe (Universal Chiplet Interconnect Express)을 적용한 Open Chiplet Platform [8]

위에서 살펴본 바와 같이 Chip 패키지 구조를 활용하면 이종 Die 간의 조합으로 비용 절감과 수율 향상에 장점이 있습니다. 하지만 패키지 구조가 복잡해지고 Die 를 연결하는 Interconnection 설계와 고성능 AI 반도체 동작을 위한 고성능 연산 블록이 필요하기 때문에 Signal/Power integrity 분석의 복잡도와 시간이 증가하는 문제가 발생할 수 있으므로 이 경우 ACVS 와 같은 특화된 SI/PI 분석/검증 솔루션이 필요하게 됩니다.

2.2.2. ACVS Solver (SimNX)



Figure 17. SimNX : Simulation Next X

SimNX 는 차세대 Advanced Ch. SI 분석을 목적으로 Huwin 에서 개발한 Simulation Next X 솔루션의 상표이며 ACVS 에 내장된 엔진으로서 아래와 같은 특징을 갖습니다.

- 파일 크기 및 포트 수 제한이 없는 채널 S-parameters 모델 분석 가능 => 40GB 이상 파일 크기, 1000 포트 이상 채널 모델 분석 테스트 => 문제없음.
- 가장 정밀한 [S] to causal impulse response 엔진
- 가장 정밀한 TDR/TDT 분석 엔진
- Ultra-fast full transient solver (full cross-talk 반영)
- Hawk-Eye: 채널 특성 분석 결과 기반의 Pseudo worst bit pattern 생성 기능
- AMI: Bus channel (LP/DDR5,6, GDDR6, HBM3 등), Serdes channel (PCIe Gen5,6 등) 분석 가능
- Fast/Optimal/Strict 의 효율적인 Transient 분석 옵션 가능
- Tx/Rx buffer 모델의 이중 (Ideal/IBIS/IBIS-AMI) 모델 조합 가능
- 채널의 모든 Net 을 통합 분석하는 AMI 분석 자동화 가능 (모든 Cross-talk 반영)

SimNX 는 Figure 18. 과 같이 Huwin 의 최신 Non-iterative Extrapolation (low/high frequency range 의 accuracy 를 유지하는 frequency extension) 방법을 적용하여 정확한 delay 추정 및 impulse response 의 transient (peak) 특성을 얻도록 연구하여 개발한 엔진입니다.

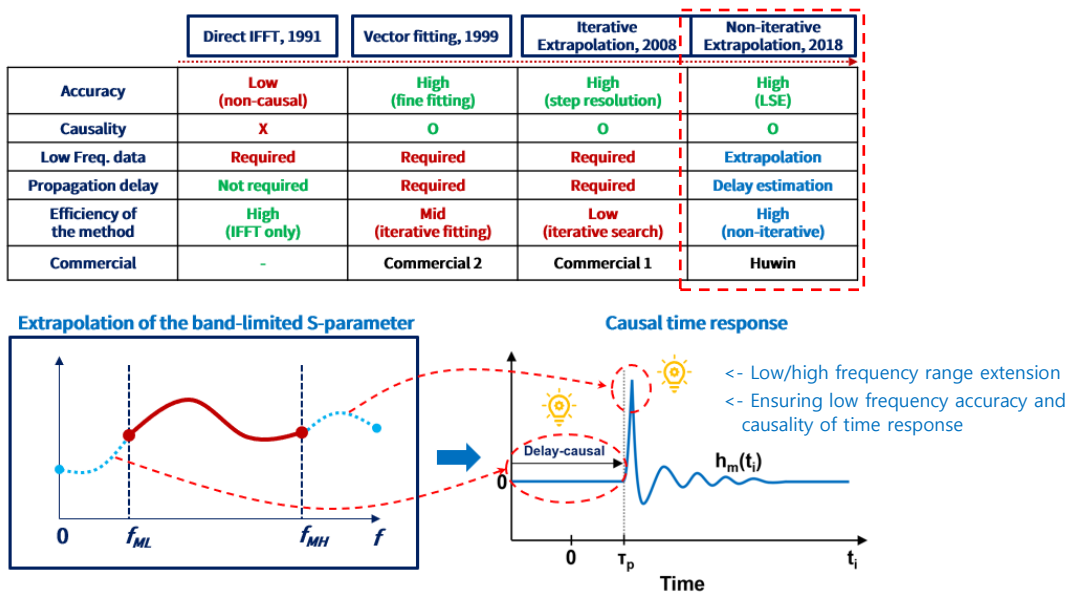


Figure 18. Extrapolation for extracting causal time response

SimNX 는 Table 2. 와 같이 Tx/Rx 버퍼 모델의 모든 이중 조합이 가능하며 Figure 19. 과 같은 방식으로 AMI 및 S-parameters 모델 이용한 분석이 가능하도록 하고 있습니다. 특히 업계에서 최초로 채널의 모든 Net 을 cross-talk 과 함께 일괄 AMI 분석하는 기능을 포함하고 있습니다.

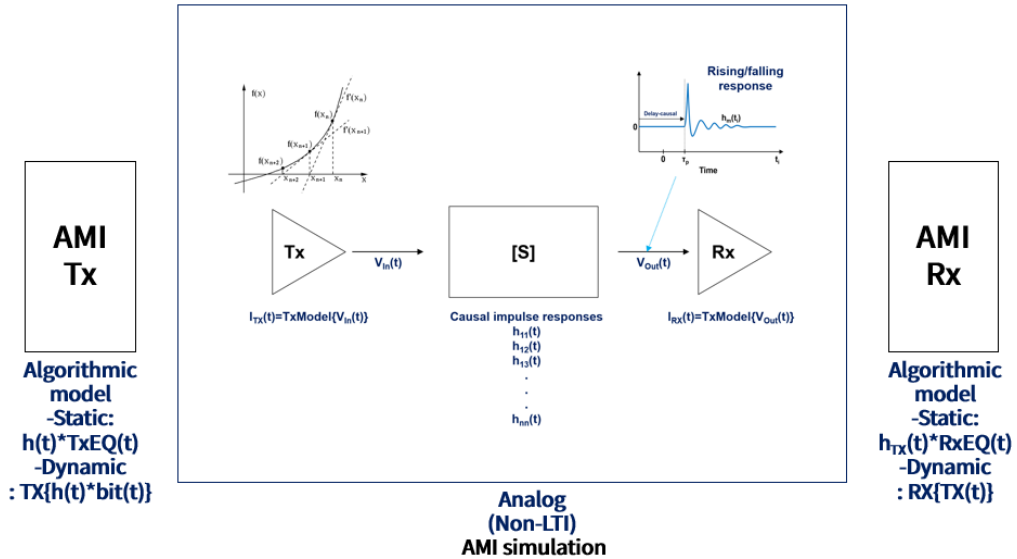


Figure 19. ACVS Hybrid type analysis: Non-LTI(Transient sim.) + LTI (AMI model)

SimNX 엔진이 내장된 ACVS 사용자로부터 Figure 20. 와 같이 기존 standard spice 시뮬레이션 결과 대비 ACVS 의 경우 Transient 분석 결과의 차이가 없고, 분석 소요 시간은 자동 리포트 과정의 시간까지 포함함에도 기존 대비 20 배 이상 단축되는 결과를 피드백 받았습니다.

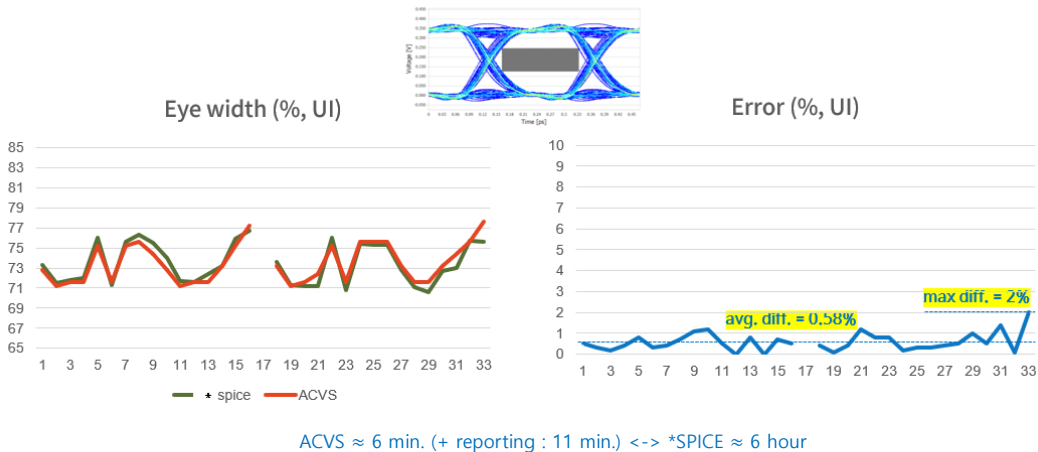
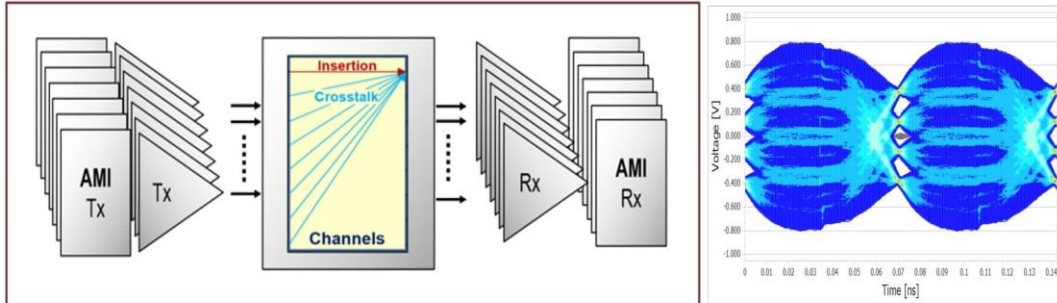


Figure 20. Full transient 결과 비교 (standard spice vs. ACVS)

또한 Figure 21 에서와 같이 ACVS 는 SerDes AMI 분석시에도 전체 채널에 대한 X-talk 을 반영하여 정확도를 유지하면서도 타사대비 향상된 연산 효율로 빠른 분석 진행을 가능하게 합니다.



SerDes AMI Analysis	Golden Standard-1 (circuit simulator)	Golden Standard-2 (circuit simulator)	Huwin ACVS (SI solution)
Single Pair with Cross-talk	Not Supported	Support	Support
Full Channel Pairs with Cross-talk	Not Supported	Not Supported	Support
Report Automation	Not Supported	Not Supported	Support

Figure 21. Supports Fully Automated AMI Simulation Including All Crosstalk Effects

2.2.3. ACVS S-tools

ACVS 는 S-parameter 생성과 Correction 에 대한 Tools 를 제공합니다.

S-Designer:

S-Designer 는 ACVS 의 S-parameters tool 로 제공되는 기능으로, S-parameter 의 요구되는 특성 값(Insertion Loss, Return Loss, PSNEXT, PSFEXT 의 target spec.)을 입력하면 값에 일치하는 S-parameter 를 자동으로 생성해주는 기능입니다. 이 때 생성된 S-parameter 는 Causality, Reciprocity 및 Passivity 를 만족하는 실제 채널 모델을 대신할 수 있는 물리적인 모델입니다. System simulation 진행 시 각 채널의 성능 규격을 만족하는 샘플 S-parameter 를 빠르게 생성할 수 있습니다.

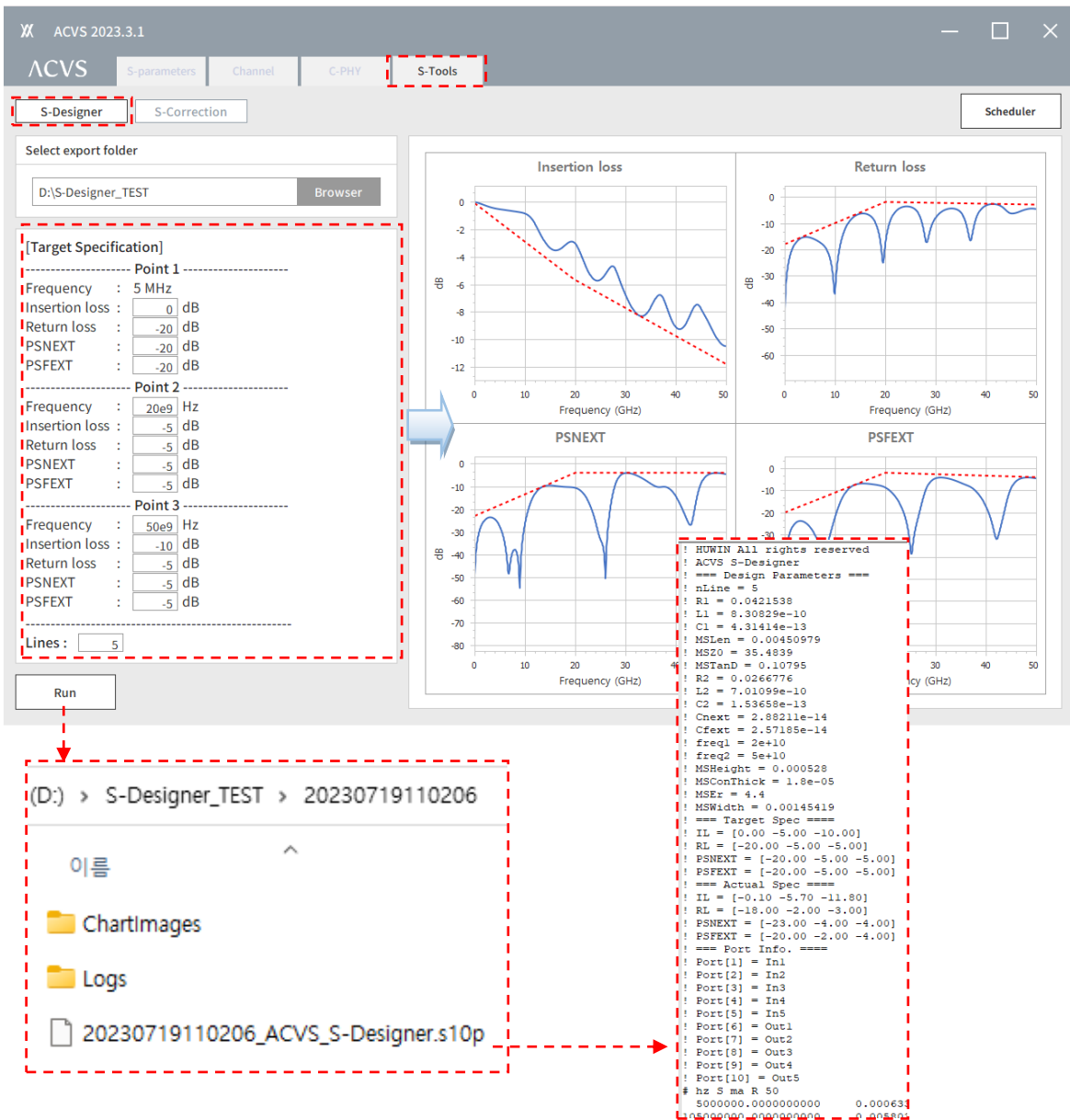


Figure 22. ACVS S-Designer (S-parameter model generation)

S-Correction:

S-Correction 은 입력된 S-parameter 에 대해 Causality, Reciprocity, Passivity Error 를 체크하여 에러를 교정하는 기능이며 교정된 S-parameter 파일 출력 및 교정 전/후의 Causality, Passivity, Total error 에 대한 chart view 기능을 제공합니다.

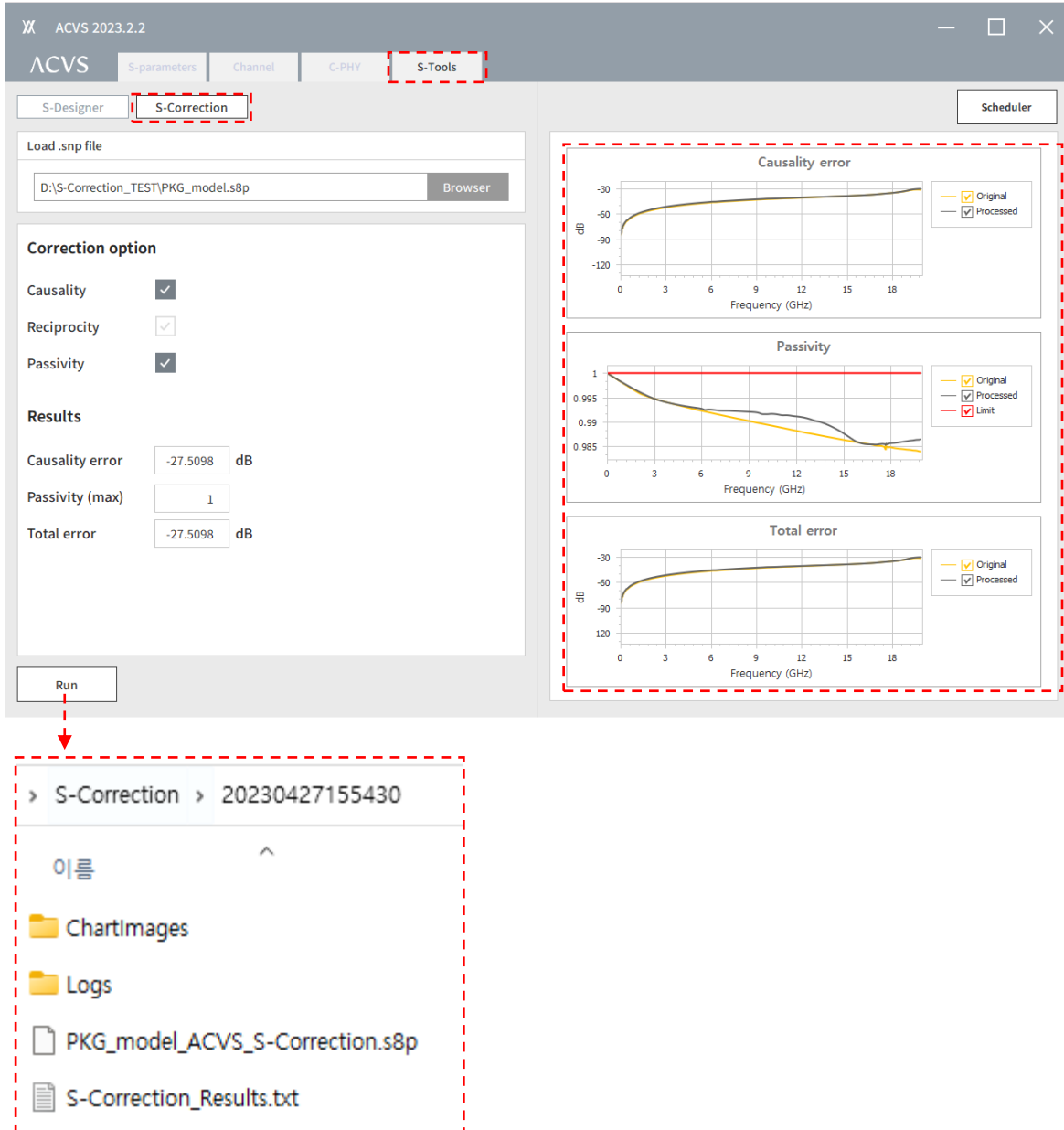


Figure 23. ACVS S-Correction (S-parameters model correction)

Correction option:

- ✓Causality: Enforcing causality
- ✓Reciprocity: Enforcing reciprocity ($S(i,j)=S(j,i)$)
- ✓Passivity: Enforcing passivity (with the ensured causality)

Results

✓Causality error: Max error of the causality enforcement (NMSE in dB)

$$S_{\text{causal}}(i,j) \text{ vs } S_{\text{original}}(i,j)$$

✓Passivity (max): Max passivity value

✓Total error: Max error of the total results (NMSE in dB)

$$S_{\text{total}}(i,j) \text{ vs } S_{\text{original}}(i,j)$$

Line-FEM Pro:

Line-FEM Pro 는 2D FEM 기반의 Transmission line 설계 Tool 입니다. S-Designer 와 유사하게 S-parameter 의 요구되는 특성 값(Insertion Loss, Return Loss, PSNEXT, PSFEXT 의 target spec.)을 입력하면 값에 일치하는 Transmission line 을 자동으로 설계해주는 기능입니다. 사용자는 Stackup 에 관련된 범위 (e.g. metal thickness, dielectric height/permittivity etc.) 정보를 입력할 수 있으며 설계 결과로 dimension 정보, W-element 파일, S-parameter 파일, E/H field 정보 등을 얻을 수 있습니다.

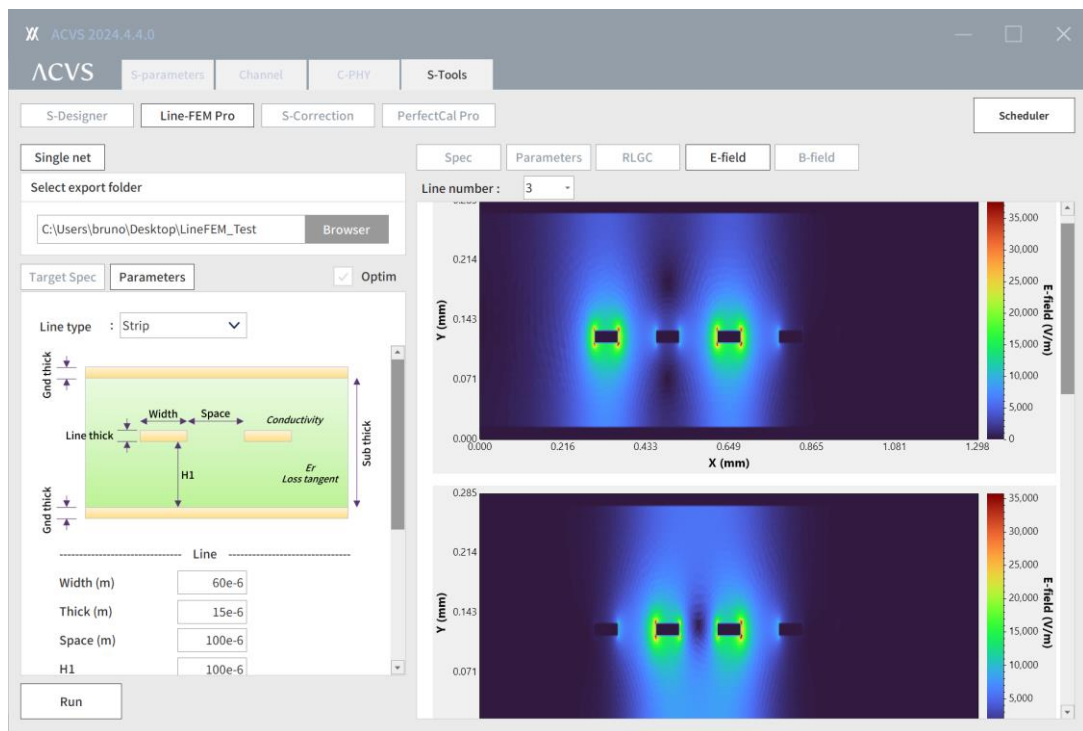


Figure 24. ACVS Line-FEM Pro (high-precision transmission line design tool)

PerfectCal Pro:

PerfectCal Pro 는 업계 최고 수준의 정밀도를 가진 2xThru 기반 De-embedding tool 입니다. 2/4 ports thru fixture 를 이용하여 정밀하게 1x fixture 및 DUT 의 S-parameter 들을 추출합니다.

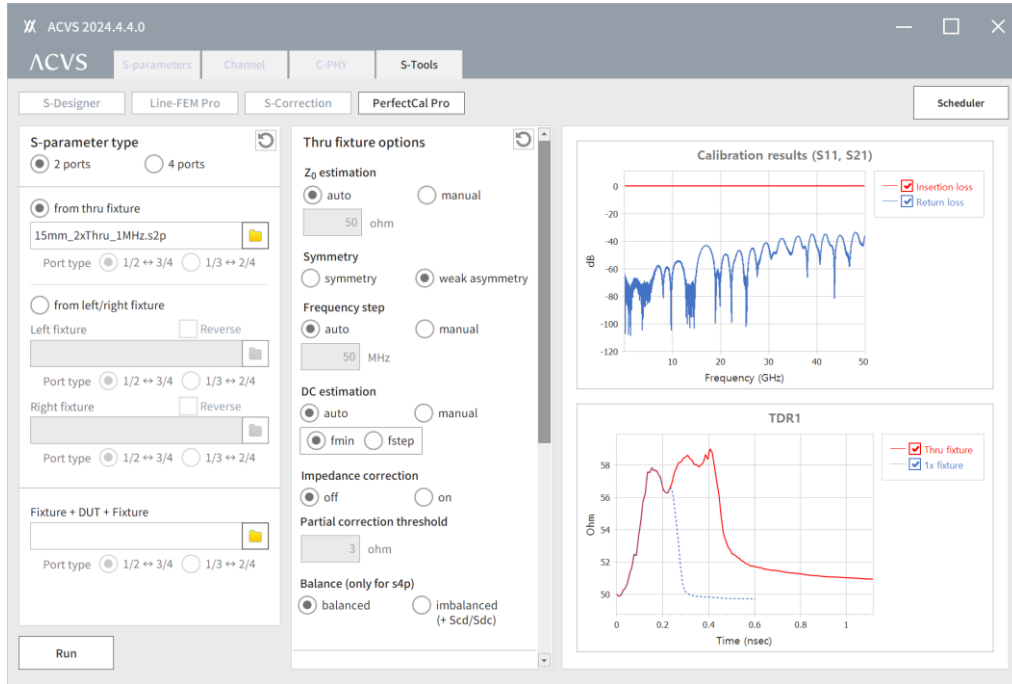
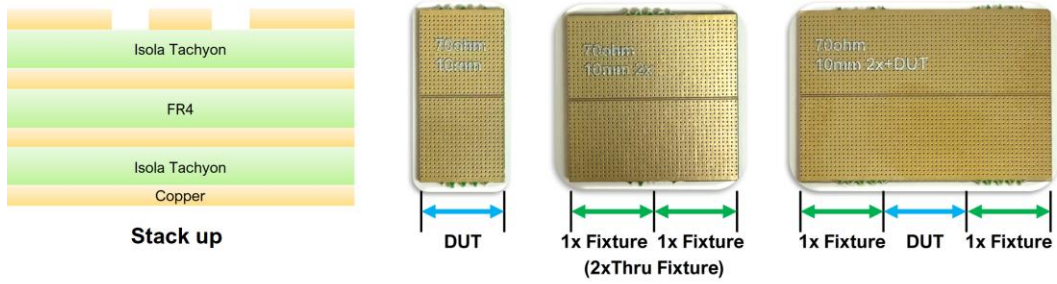
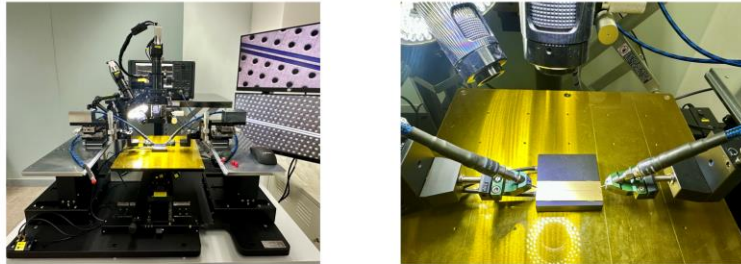


Figure 25. ACVS PerfectCal Pro: Professional grade 2xThru de-embedding tool.

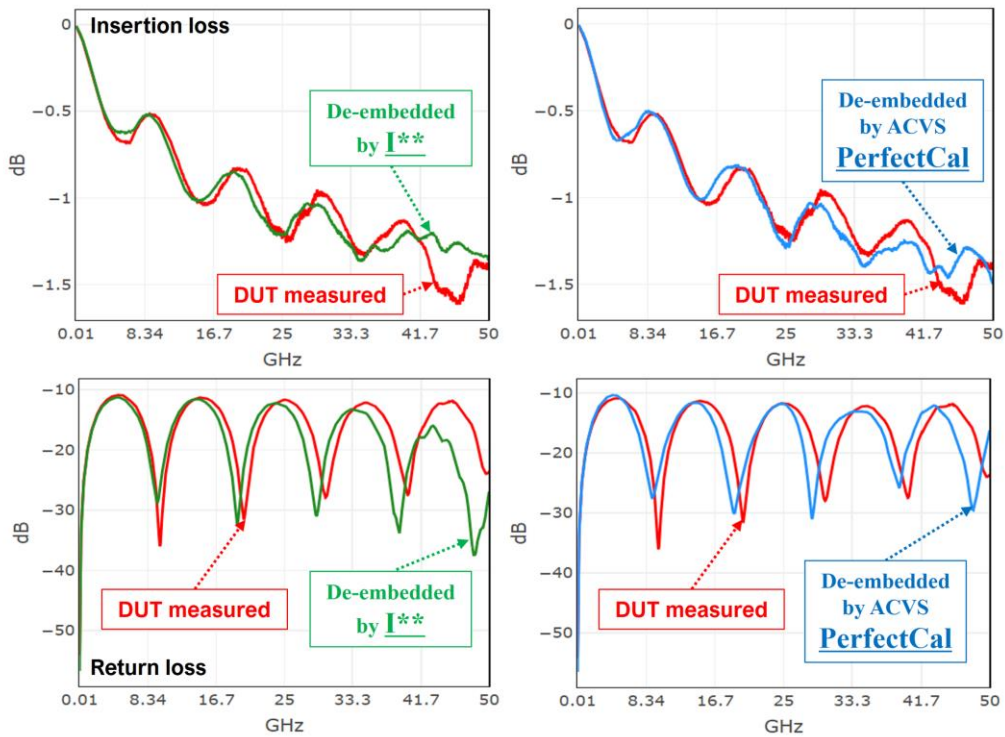
Figure 25 는 PerfectCal Pro 의 De-embedding 성능 검증 사례입니다. CPWG 전송 선로 구조의 2xThru, Fixture+DUT, DUT 를 설계하였습니다. 측정은 Keysight PNA N5225B (up to 50GHz), T-plus microprobe 등을 이용하여 진행하였습니다. DUT 에 대한 direct probing 측정 결과와 PerfectCal Pro 및 타사 tool 을 이용한 De-embedding 결과를 비교하였습니다. 그 결과 PerfectCal Pro 의 De-embedding 결과가 타사 tool 대비하여, 실제 측정 결과와 유사도가 높음을 확인하였습니다.



DUT: CPWG 10mm (Z_0 : 70 ohm) and 2xThru Fixture



Measurement Setup @ Huwin Lab
(Keysight PNA N5225B, T-plus uProbe)



Direct Probing(DUT measured) vs De-embedded(I^{**} vs ACVS PerfectCal)

Figure 26. ACVS Line-FEM Pro (high-precision transmission line design tool)

2.3. How to use ACVS

ACVS 는 채널의 S-parameter 를 이용한 분석이므로, 분석 이전에 S-parameter 를 추출하는 과정을 거쳐야 합니다. S-parameter 추출은 ANSYS 등의 EM model extraction 툴을 사용해야 합니다. 이 때 적합한 모델 추출이 중요하므로 이를 위한 EM 분석 원리 및 추출 방법에 대한 연구가 필요합니다.

2.3.1. Ch. Model extraction

EM 분석 기본 원리 및 EM 분석 통한 모델 추출 방법:

고용량/고주파 데이터를 연결하는 물리적 구조의 신호 구간을 채널이라고 하며, 채널 구조는 범프(Bump), 패드(Pad), 비아(Via), 선로(Trace), 볼(Ball) 및 신호 주변의 레퍼런스 그라운드(Reference Ground) 등의 설계 요소들의 조합으로 구성됩니다. 채널의 각 물리적 구조 및 물성의 설계 과정에서 고용량/고주파 데이터 전송 시 발생하는 문제를 검증하기 위해서는 채널 전체 구조의 전기적 특성을 표현하는 모델로 추출(모델링)의 과정이 필요하며 이러한 과정은 EM 분석 (Electro-Magnetic Field Analysis)을 통해 수행할 수 있습니다.

EM 분석을 통해 주파수별 삽입 손실(Insertion Loss), 반사 손실(Return Loss), 크로스 토크(Cross-Talk), 임피던스(Impedance) 등의 특성들을 모두 포함하는 S-parameter(SnP) 모델로 추출합니다. 3 차원 구조의 채널에 대한 S-파라미터 모델 추출은 주로 3D FEM(Finite Element Method) 방식의 EM 시뮬레이션 툴을 이용하며 대표적인 시뮬레이션 툴로는 ANSYS 사의 HFSS(High Frequency Structure Simulator)가 있습니다. 3D FEM 방식의 EM 분석은 Figure 27. 의 순서와 같이, 구조 입력 및 물성 값 입력과, EM 바운더리 조건 및 고주파 인가를 위한 포트(port) 설정 등의 과정을 거치며, 3 차원 구조에 대해 자동으로 Adaptive meshing 과정을 거쳐 세밀한 3 차원 메쉬(mesh)를 생성하면, 3D FEM 분석 솔버가 최종 메쉬에 대한 결과를 분석하게 됩니다.

ACVS 는 ANSYS EM 분석 과정을 ANSYS 의 Scripting 을 이용하여 모든 분석 셋업 및 모델 추출 과정을 자동 수행하도록 하는 기능 모듈을 제공합니다.

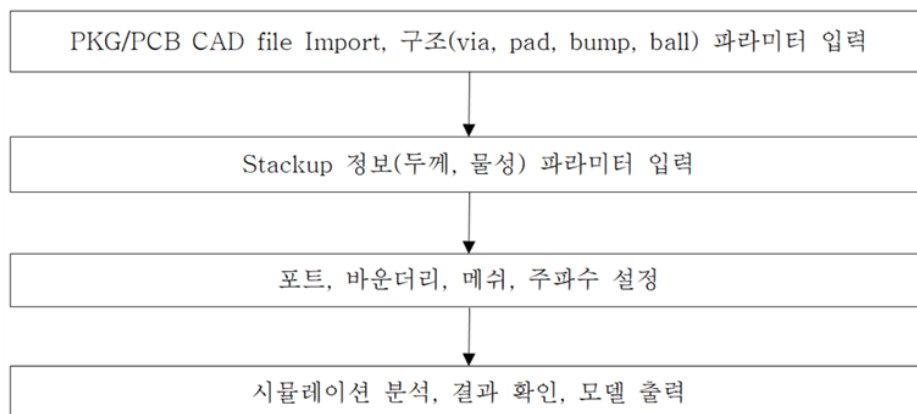


Figure 27. EM 분석 및 모델 추출 과정

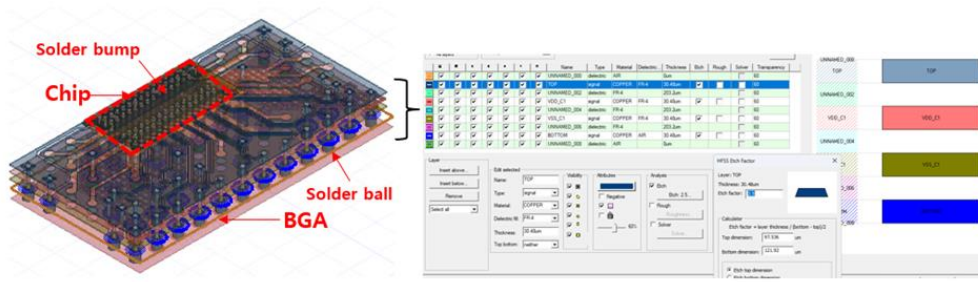


Figure 28. PCB/PKG CAD file Import 후 구조 및 Stackup 정보 파라미터 입력

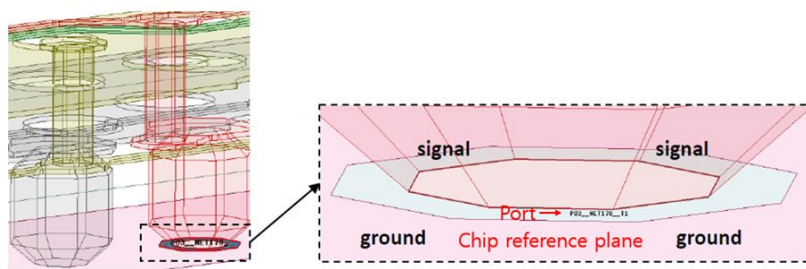


Figure 29. BGA 부분의 신호 인가를 위한 포트 설정

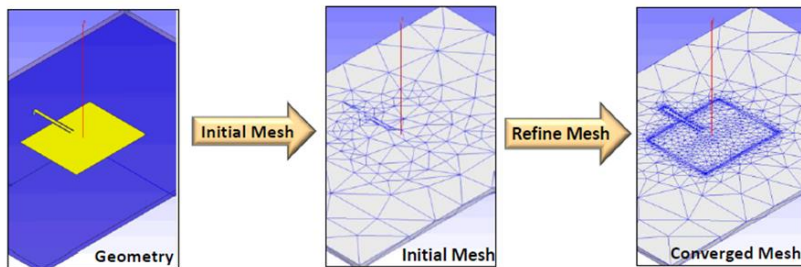


Figure 30. ANSYS HFSS FEM의 어댑티브 메쉬 (Adaptive Meshing) 과정

Figure 28,29,30 은 EM 분석과정에서의 CAD 입력, 포트 설정 및 메쉬 과정을 나타내며, FEM 솔버는 메쉬의 각 요소에 대해 맥스웰 방정식을 적용하여 각 요소 입력에 대한 매트릭스 연산을 수행하여 이로부터 EM 필드의 결과 값을 구하게 된다. EM 필드의 결과로부터 각 포트에서의 신호 입출력 함수를 계산하면 Figure 31,32의 결과와 같이 각 채널 네트별 반사 손실, 삽입 손실 값을 확인할 수 있습니다.

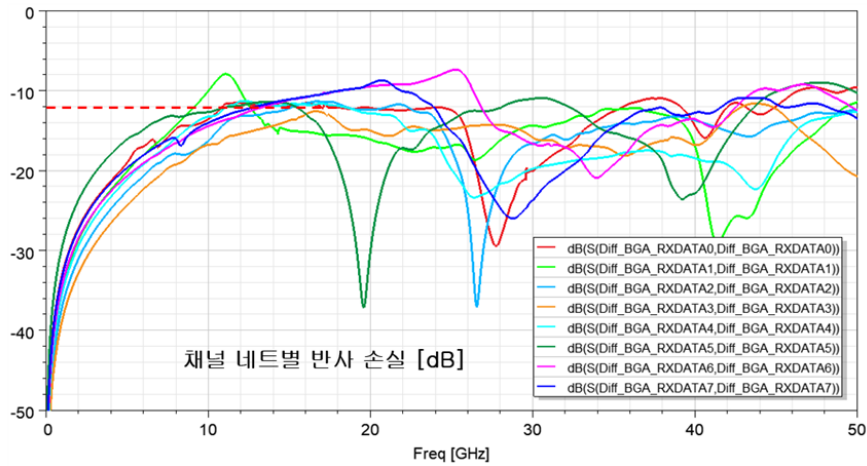


Figure 31. EM 분석 결과, 반사 손실

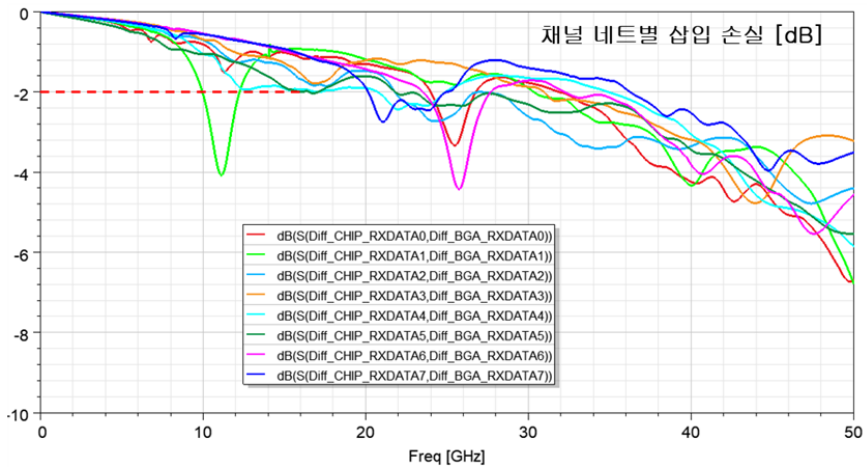


Figure 32. EM 분석 결과, 삽입 손실

2.3.2. ACVS 분석 사례

고용량 데이터 전송을 위해 메모리 및 PCIe 신호는 최근 설계에서 초고속(10 Gbps 이상) 및 초광대역(0~100 GHz)으로 높아지고 있습니다. 이와 더불어 고용량을 위한 신호의 배선 수도 수백에서 수천으로 늘어나고 있으므로, PKG/PCB의 배선 밀도도 증가하고 있습니다. 이러한 초고주파 신호가 고밀도 채널을 통해 전달될 때 채널에서의 신호 반사와 간섭으로 인해 고용량 데이터 전송 규격을 만족하지 못하는 문제를 발생하므로 Figure 33. 과 같이 이를 사전 배선 설계 단계에서 EM 시뮬레이션(모델링)과 ACVS 검증은 통해 문제되는 부분을 확인하여 수정하고 규격을 만족하는지 재 검증하는 과정이 반드시 필요하게 됩니다.

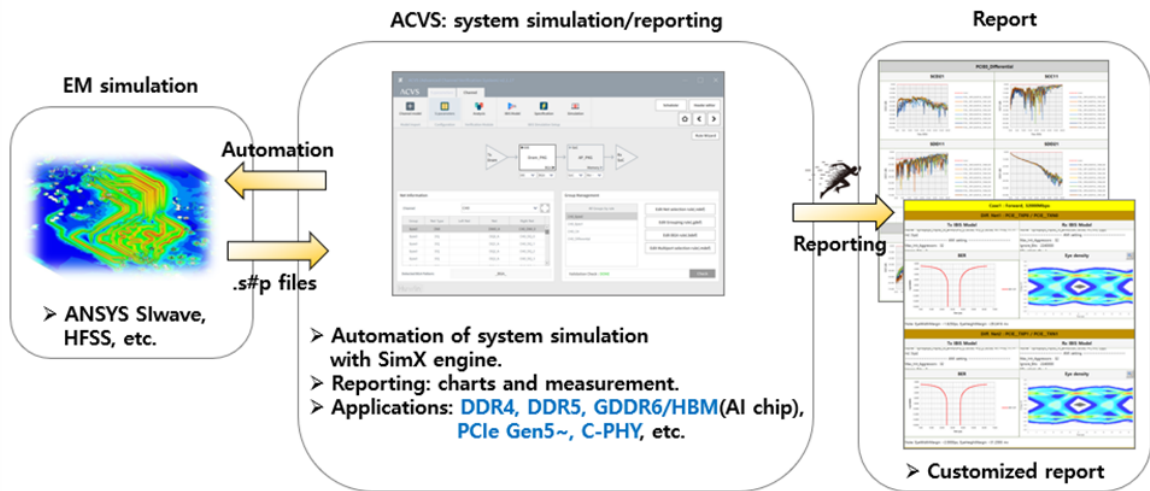


Figure 33. EM 시뮬레이션 모델링 및 ACVS 검증

ACVS의 채널 검증 과정은 Figure 34.와 같이 채널의 검증 결과가 Pass 될 때까지 분석과 레이아웃 수정 및 검증 절차를 반복하여 수행하게 됩니다.

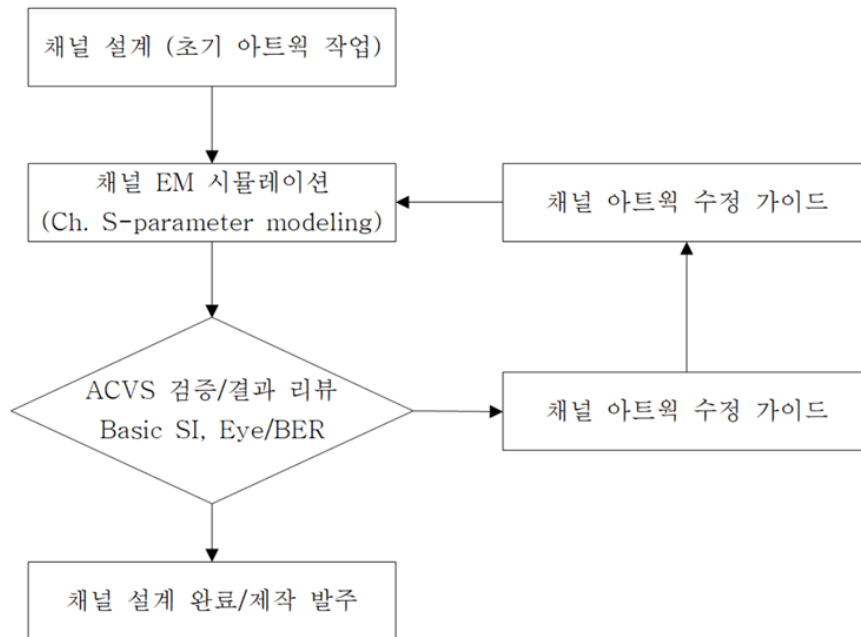
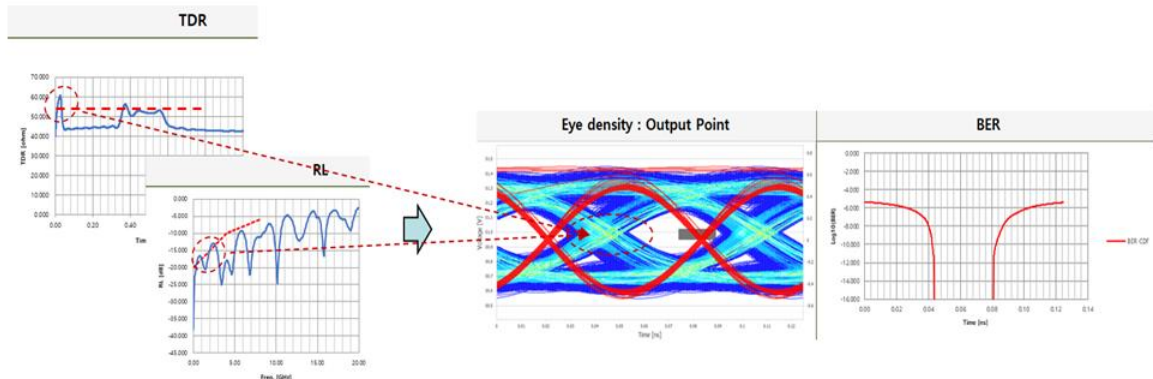


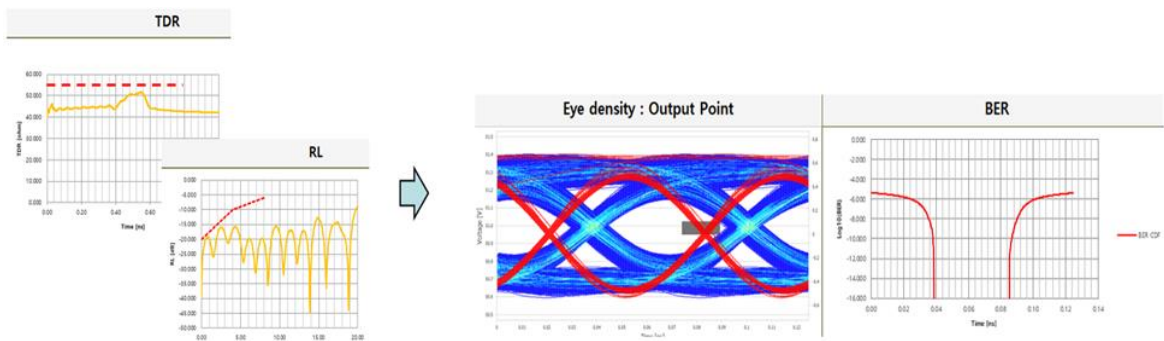
Figure 34. ACVS 채널 설계 검증 과정

고밀도 배선 메모리의 패키지 설계에서 신호 반사에 의한 결과 및 이때의 Eye/BER 검증 예시는 Figure 35,36 과 같이 수정 전, 수정 후 결과를 통해 확인해 볼 수 있습니다.



Basic SI TDR/RL Fail ⇒ Bad Eye/BER results

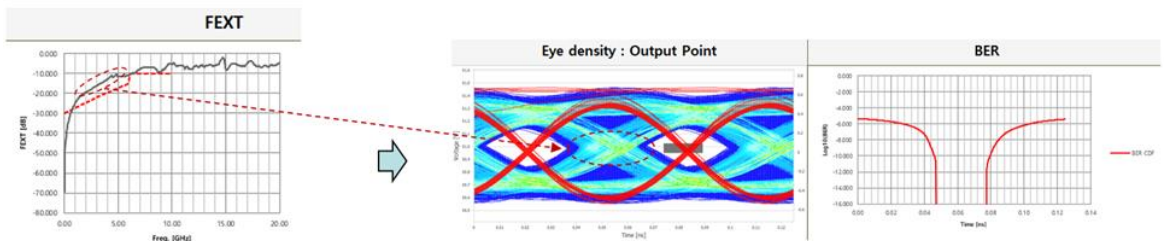
Figure 35. 수정 전 아트웍에 대한 ACVS TDR/RL => Eye/BER 검증



Basic SI TDR/RL Pass ⇒ Good Eye/BER results

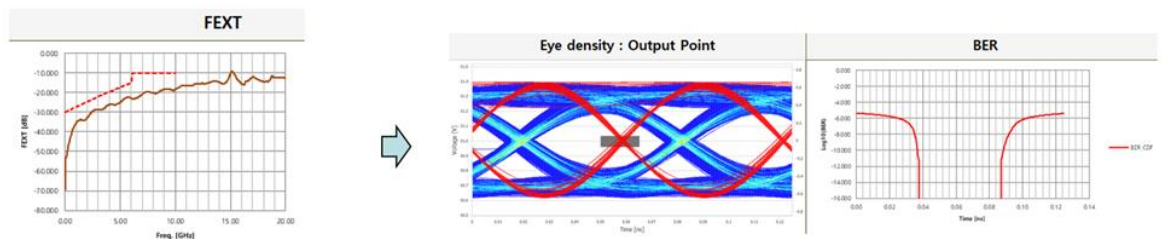
Figure 36. 수정 후 아트웍에 대한 ACVS TDR/RL => Eye/BER 검증

또한 Figure 37,38 은 아트웍 수정 전과 수정후의 크로스 토크 (Cross-Talk) 문제와 이에 따른 Eye/BER 결과를 나타내고 있으며, ACVS 채널 검증과 아트웍 수정을 통해 최종 결과에서 Eye/BER 결과가 개선됨을 보여주고 있습니다.



Basic SI crosstalk Fail ⇒ Bad Eye/BER results

Figure 37. 수정 전 아트웍 ACVS FEXT => Eye/BER 검증



Basic SI crosstalk Pass ⇒ Good Eye/BER results

Figure 38. 수정 후 아트웍 ACVS FEXT => Eye/BER 검증

2.3.3. ACVS Analysis setup

ACVS 의 프로젝트 생성과 채널 구성 및 분석 셋업 과정은 매우 많은 포트수와 용량을 가진 채널 모델을 이용하여 분석할 수 있도록 최적화되었습니다. 또한 분석 셋업은 profile 파일로 저장되어 이후에 Rev. 모델을 폴더에 교체하면 이전 분석 셋업을 이용하여 동일 조건의 분석이 가능하며 Rev. 모델의 빠른 분석과 결과 비교에 매우 유용하고 간편한 방법입니다.

Build project:

ACVS 의 채널 분석 프로젝트는 ACVS UI 에서 분석 모델을 윈도우 탐색기 폴더에서 Drag & Drop 하여 생성할 수 있습니다.

Build -> IBIS analysis -> + channel -> Drag IBIS, SnP files -> Save & Import

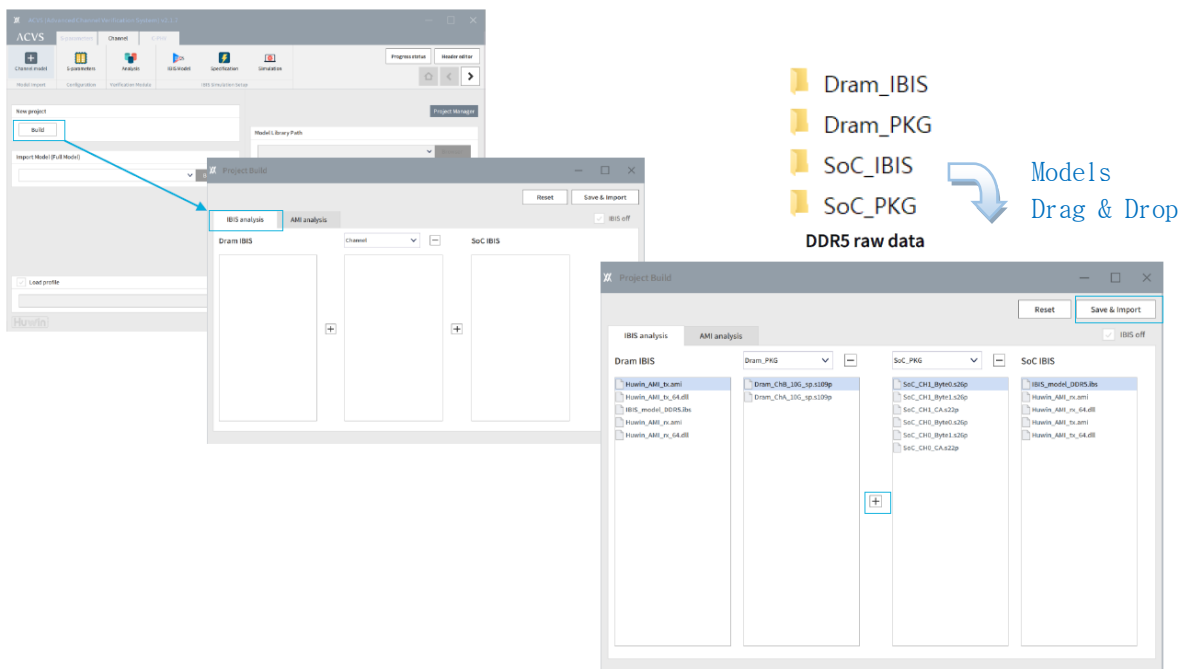


Figure 39. ACVS Build Project, Model Drag & Drop

ACVS rule setup:

채널 모델의 연결은 채널 모델의 header 정보를 인식하여 자동으로 구성되며, 이를 위한 net 그룹별 rule 을 설정하게 됩니다. Rule 설정을 보다 간편히 하기 위해 ACVS 는 Auto rule setup 이 가능하도록 Rule Assitant 기능을 제공하면 이는 ML(Machine Learning) 기반 기능으로 대부분의 net 에 대해 자동으로 인식이 가능하도록 업그레이드 되고 있습니다.

The screenshot displays the ACVS 2023.4.3 software interface. At the top, there are tabs for S-parameters, Channel, C-PHY, and S-Tools. Below these are icons for Channel model, S-parameters, Analysis, IBIS Model, Specification, and Simulation. A 'Rule Assistant' button is visible in the top right. The main workspace shows a block diagram with 'Tx Dram', 'Dram_PKG', 'SoC_PKG', and 'Rx SoC' components. A red dashed box highlights the 'Auto rule setup' button. Below the diagram are two panels: 'Net Information' and 'Group Management'. The 'Net Information' panel shows a table of channel nets for 'CH0'.

Group	Net Type	Left Net	Net	Right Net
Byte0	DMI	DMI0_A	CH0_DMI_0	
Byte0	DQ	DQ0_A	CH0_DQ_0	
Byte0	DQ	DQ1_A	CH0_DQ_1	
Byte0	DQ	DQ2_A	CH0_DQ_2	
Byte0	DQ	DQ3_A	CH0_DQ_3	

The 'Group Management' panel lists various groups like CH0_Byte0, CH0_Byte1, etc., and includes buttons for 'Edit BGA rule(.bdef)', 'Edit Grouping rule(.gdef)', 'Edit Multiport selection rule(.mdef)', and 'Edit Net selection rule(.ndef)'. A 'Validation Check : DONE' status is shown. Below this, the 'Net Connection Editor' window is open, showing a detailed table of net connections between 'Dram_PKG' and 'SoC_PKG'.

Group	Net Type	Dram_PKG	SoC_PKG
Byte0	DMI	DMI0_A	CH0_DMI_0
Byte0	DQ	DQ0_A	CH0_DQ_0
Byte0	DQ	DQ1_A	CH0_DQ_1
Byte0	DQ	DQ2_A	CH0_DQ_2
Byte0	DQ	DQ3_A	CH0_DQ_3
Byte0	DQ	DQ4_A	CH0_DQ_4
Byte0	DQ	DQ5_A	CH0_DQ_5
Byte0	DQ	DQ6_A	CH0_DQ_6
Byte0	DQ	DQ7_A	CH0_DQ_7
Byte0_D...	RDQS	RDQS0_T_A	CH0_RDQS0_T_0
Byte0_D...	RDQS	RDQS0_C_A	CH0_RDQS0_C_0
Byte0_D...	WCK	WCK0_T_A	CH0_WCK0_T_0
Byte0_D...	WCK	WCK0_C_A	CH0_WCK0_C_0
Byte1	DMI	DMI1_A	CH0_DMI_1
Byte1	DQ	DQ8_A	CH0_DQ_8
Byte1	DQ	DQ9_A	CH0_DQ_9
Byte1	DQ	DQ10_A	CH0_DQ_10
Byte1	DQ	DQ11_A	CH0_DQ_11
Byte1	DQ	DQ12_A	CH0_DQ_12
Byte1	DQ	DQ13_A	CH0_DQ_13
Byte1	DQ	DQ14_A	CH0_DQ_14
Byte1	DQ	DQ15_A	CH0_DQ_15
Byte1_D...	RDQS	RDQS1_T_A	CH0_RDQS1_T_1
Byte1_D...	RDQS	RDQS1_C_A	CH0_RDQS1_C_1
Byte1_D...	WCK	WCK1_T_A	CH0_WCK1_T_1
Byte1_D...	WCK	WCK1_C_A	CH0_WCK1_C_1
CA	ADDR	CA0_A	CH0_CA_0
CA	ADDR	CA1_A	CH0_CA_1
CA	ADDR	CA2_A	CH0_CA_2
CA	ADDR	CA3_A	CH0_CA_3
CA	ADDR	CA4_A	CH0_CA_4

The 'Channel Grouping Rule' editor window is also shown, with the 'Input Rule file(.def)' field set to 'C:\ACVS_Test_LPDDR4\3_CH_Channel\GroupingRule.gdef'. The 'Matched port' section is checked, and the 'Save' button is highlighted. The rule content is visible in the text area below.

```

1 Syntax : RuleType(1:Channel, 2:Signal, 0:Ignore) Keyword GroupDefine GroupDefineDetail("Group_NetType", Ne
2 GroupingRuleName : ""
3 1 _A CH0
4 1 _B CH1
5
6 2 DMI0 Byte0 Byte0_DMI
7 2 DQ0 Byte0 Byte0_DQ
8 2 DQ1 Byte0 Byte0_DQ
9 2 DQ2 Byte0 Byte0_DQ
10 2 DQ3 Byte0 Byte0_DQ
11 2 DQ4 Byte0 Byte0_DQ
12 2 DQ5 Byte0 Byte0_DQ
13 2 DQ6 Byte0 Byte0_DQ
14 2 DQ7 Byte0 Byte0_DQ
15 2 RDQS0_T Differential Byte0_DQS
16 2 RDQS0_C Differential Byte0_DQS
17
18 2 DMI1 Byte1 Byte1_DMI
19 2 DQ8 Byte1 Byte1_DQ
20 2 DQ9 Byte1 Byte1_DQ
21 2 DQ10 Byte1 Byte1_DQ
22 2 DQ11 Byte1 Byte1_DQ

```

Figure 40. ACVS Ch. Rule setup

Transient Simulation Setup (Port Termination):

Figure 41. 과 같은 Multi DIE 분기 구조 셋업 시 Tx, Rx 를 제외한 포트에는 DIE IBIS model 연결로 termination 설정을 할 수 있습니다.

또한 분석에 포함되지 않는 net 의 포트에 대해서도 50ohm 또는 그라운드로의 Termination 설정이 가능합니다.

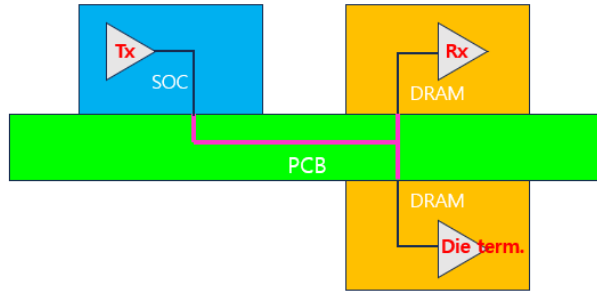


Figure 41. Multi DIE 분기 구조 예 (Clamshell configuration)

Snp Editor: Dram_PKG

Multi_Die_Clamshell_configuration.s... Port Term. Header Editor

Show all Non-analysis nets Analysis nets

#	Port name	50	0		DIE Term
120	DRAML_DQ16_DIE_819	<input checked="" type="radio"/>	<input type="radio"/>	<input type="checkbox"/>	
121	DRAML_DQ20_DIE_895	<input checked="" type="radio"/>	<input type="radio"/>	<input type="checkbox"/>	
122	DRAML_DQ24_DIE_933	<input checked="" type="radio"/>	<input type="radio"/>	<input type="checkbox"/>	
123	DRAML_DQ28_DIE_1009	<input checked="" type="radio"/>	<input type="radio"/>	<input type="checkbox"/>	
128	DRAML_DQ20_BGA_top	<input checked="" type="radio"/>	<input type="radio"/>	<input type="checkbox"/>	
129	DRAML_DQ20_bottom_term	<input type="radio"/>	<input type="radio"/>	<input checked="" type="checkbox"/>	DQ: IBIS

DIE Termination

	0	50	IBIS	IBIS file	IBIS model	Corner
Bytelane	<input type="radio"/>	<input type="radio"/>	<input checked="" type="radio"/>	dwc_ddrphy_trxdqs_e...	mal4drv27_dl4x_60@[typ: 2.042 pF, min: 2...	typ
CA	<input checked="" type="radio"/>	<input type="radio"/>	<input type="radio"/>			

Reset Save & Apply

Figure 42. Port Termination for multi DIE configuration

Header Editor:

ACVS 의 SNP Header Editor 를 이용하여, Figure 43. 과 같은 매우 대용량 S-parameter (40GB 이상 예)의 header 정보를 확인 및 port name 등을 편집할 수 있습니다.

경우에 따라 채널 S-parameter 모델은 파일 용량이 매우 크므로 일반 text editor 로 open 하여 편집 및 정보 확인이 불가하므로 Header Editor 와 같은 header 만 open 하여 편집/저장 및 모델 파일의 주파수 정보 확인이 가능한 툴이 유용하게 사용 될 수 있습니다.

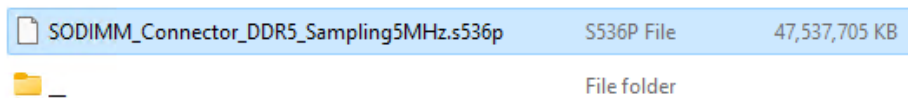


Figure 43. 대용량 S-parameter 예 : 536ports, 47GB file size

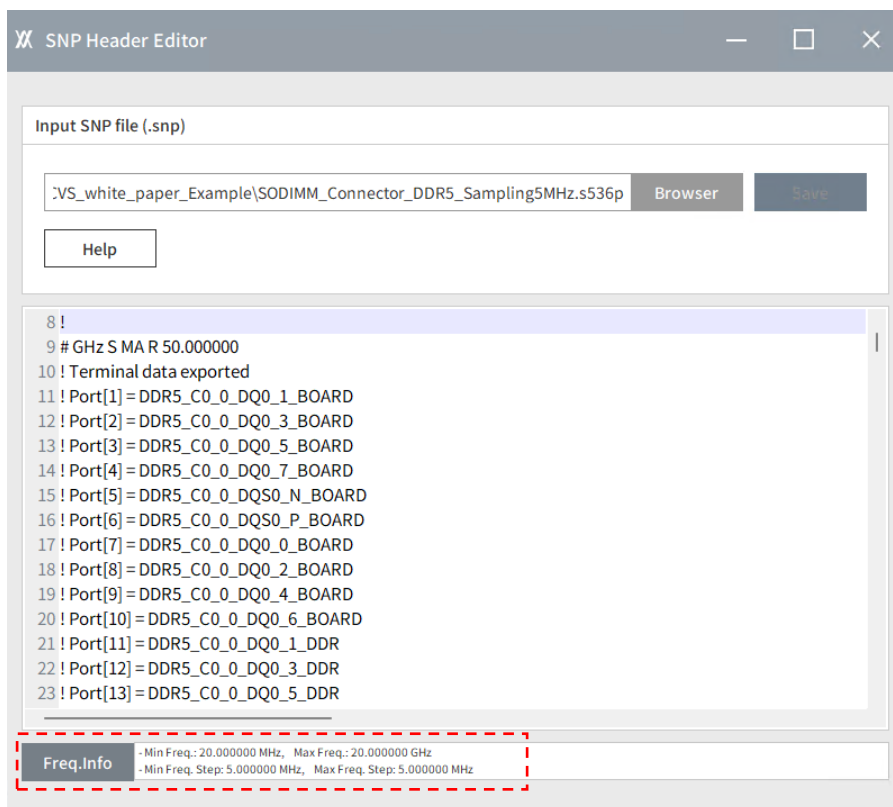


Figure 44. ACVS Header Editor 및 Freq. Info.

Transient Simulation Setup (IBIS model and Write/Read mode):

메모리 채널 분석에서 Write/Read 모드를 선택하면 자동으로 Rx, Tx 에서 가용한 모델을 선택할 수 있도록 설정되며 각 모드의 model selection 을 통해 여러 분석 Case 를 추가하여 각 Case 에 대해 분석할 수 있습니다.

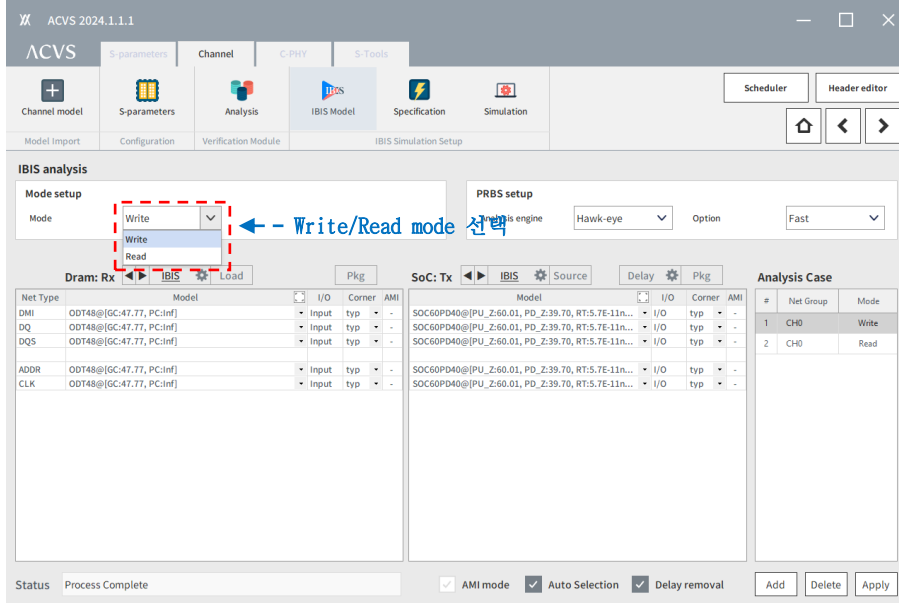


Figure 45. ACVS Transient analysis setup (write/read)

Transient Simulation Setup (Hawk-eye/PRBS):

ACVS 는 메모리 신호에 대해 가장 효율적으로 Eye 결과를 예측할 수 있도록 최적의 비트 조합을 생성하도록 하는 Hawk-eye 기능을 제공합니다. 또한 필요한 경우 PRBS 및 Manual 비트 입력도 가능합니다.

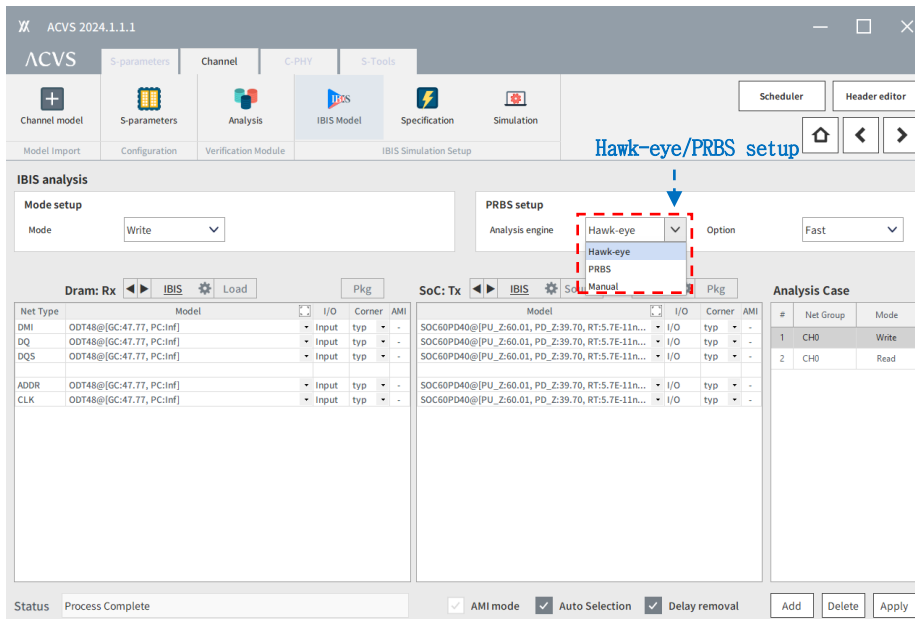


Figure 46. ACVS Hawk-dye / PRBS setup

Transient Simulation Setup (Fast/Optimal/Strict):

ACVS의 Hawk-Eye 기능은 Fast/Optimal/Strict 옵션을 선택하면 PRBS 대비 보다 적은 비트의 조합으로 worst ISI 를 포함하는 worst bits 와 worst jitter by X-talk 를 포함하는 worst bits 및 worst over/undershoot by X-talk 를 위한 worst bits 를 포함하여 분석하게 됩니다.

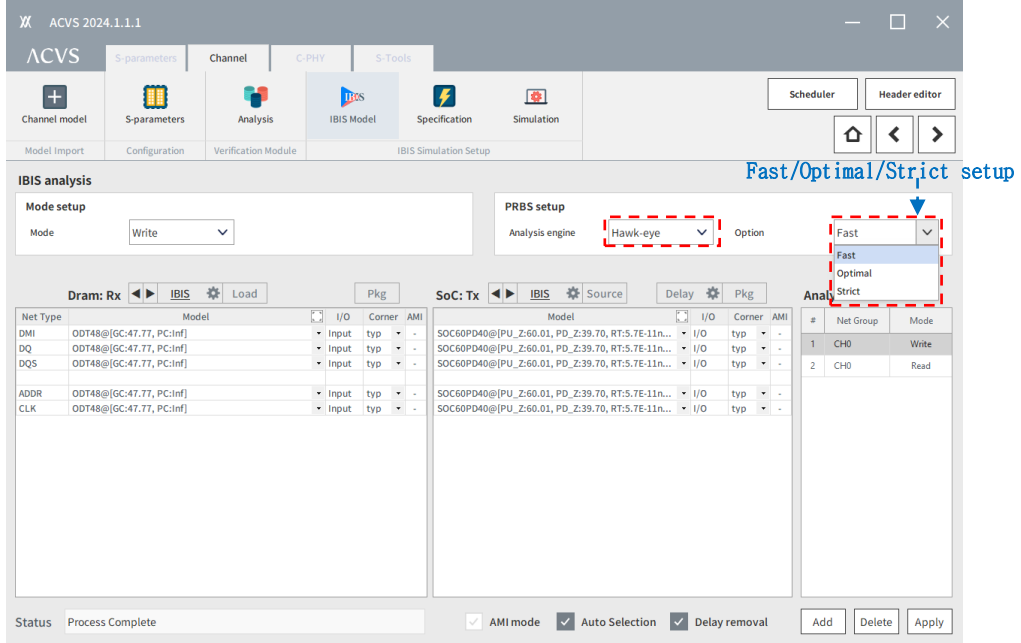


Figure 47. ACVS Transient simulation setup (Fast/Optimal/Strict)

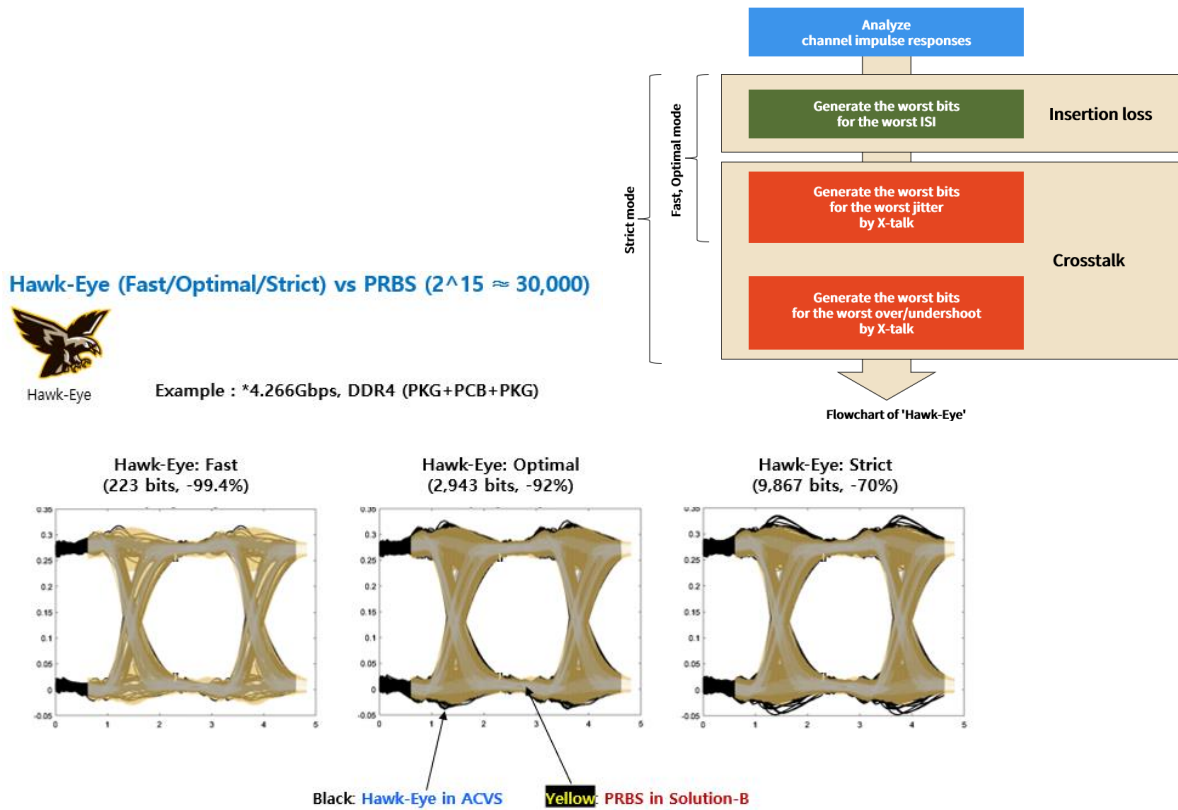


Figure 48. ACVS Hawk-Eye Fast/Optimal/Strict vs. PRBS: bits 수 및 결과 비교

Transient Simulation Setup (AMI mode / Auto Selection / Delay removal):

ACVS **AMI mode** 분석에서는 Serdes 또는 Memory Tx, Rx AMI 모델의 AMI parameter 를 설정하여 분석할 수 있습니다.

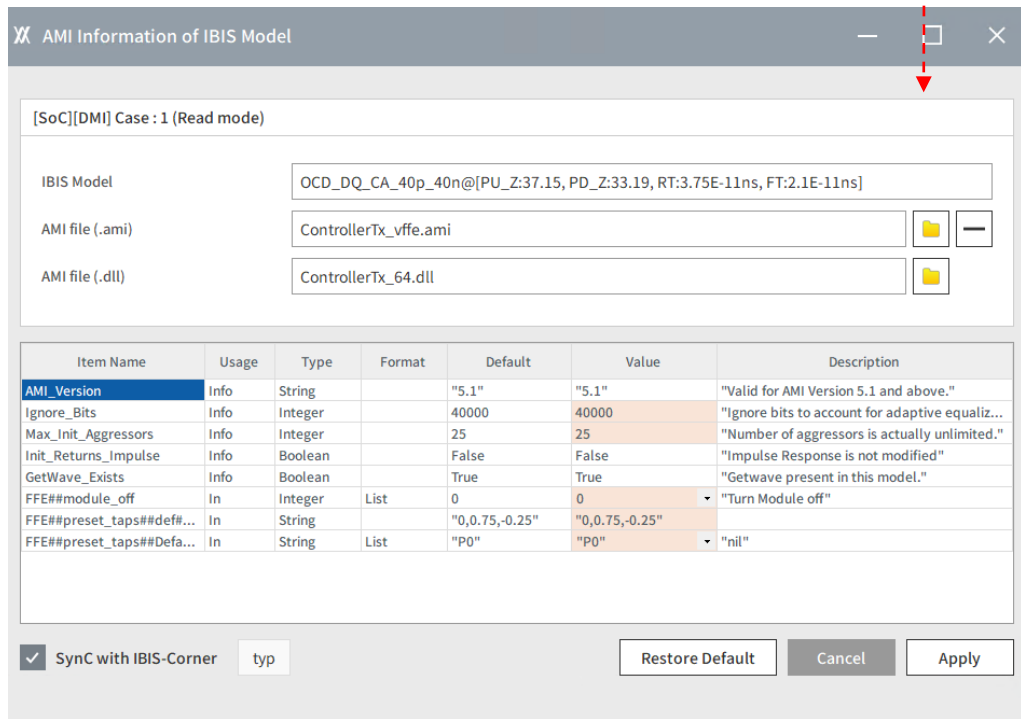
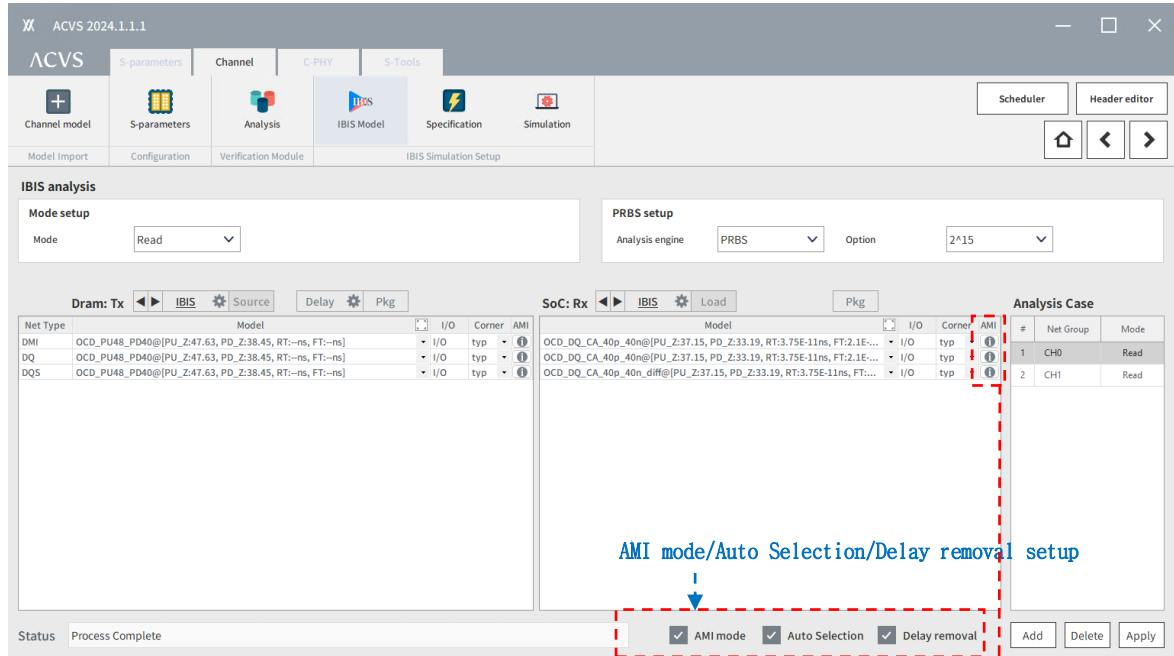


Figure 49. ACVS Transient Simulation setup (AMI mode, Auto Selection, Delay removal)

ACVS 의 AMI mode 분석은 Tx, Rx 모델에 대해 AMI 모델과 Ideal Source 모델 및 IBIS 모델의 모든 조합이 가능합니다.

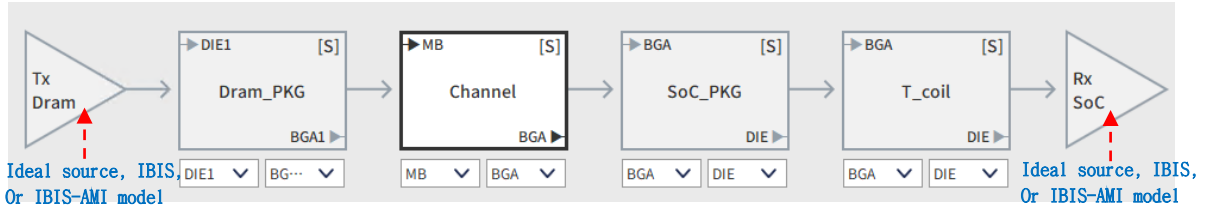


Figure 50. ACVS 채널 구성 with Tx, Rx (Ideal source, IBIS, IBIS-AMI) model

가능한 Tx, Rx 분석 모델:

- **Ideal Source:** 업체로부터 받은 Tx 또는 Rx 모델이 없는 경우
 - ➔ Tx 의 경우 Driver 의 전압, Trf, C_comp, Source Impedance (single or differential)를 정의
 - ➔ Rx 의 경우 Load 의 C_comp, Load Impedance (single or differential)를 정의
 - ➔ * Tx 또는 Rx 의 Custom. EQ 가능하도록 하는 셋업은 ACVS 2024 update 예정임.
- **IBIS model:** 업체로부터 받은 IBIS 모델 (PKG 모델은 S-parameters 가 link 된 경우 같은 폴더내의 S-parameter model 을 자동으로 세팅함. PKG RLC 값은 activate 할 수 있지만 2Gbps 급 이상 신호 채널에 대해서는 권장하지 않음.)
- **IBIS-AMI model:** IBIS(*.ibs) 파일 및 *.ami 와 *.dll 그리고 PKG S-parameter 가 Tx, Rx 모델 폴더에 있는 경우 (PKG S-parameter 는 IBIS 에 정의되므로 자동으로 연결됨.)

Talbe 2. ACVS 에서 가능한 Tx, Rx 모델 조합 Case

Tx model case	Rx model case	ACVS analysis 지원 여부
Ideal Source	Ideal Source	0
Ideal Source	IBIS model	0
Ideal Source	IBIS AMI model	0
IBIS model	Ideal Source	0
IBIS model	IBIS model	0
IBIS model	IBIS AMI model	0
IBIS AMI model	Ideal Source	0
IBIS AMI model	IBIS model	0
IBIS AMI model	IBIS AMI model	0

Auto Selection 기능은 Memory IBIS buffer 모델을 net type 에 따라 자동으로 선택하도록 하는 기능입니다. 이를 통해 Net Type key word 가 DQ, DQS, DMI, CLK, CKE, ADDR 등에 대해 model selector 를 인식하여 자동으로 모델이 세팅 됩니다.

Delay removal 은 Figure 51. 과 같이 IBIS rising/falling output 과형에 delay 가 큰 경우 logic input 신호에 의해 triggering 시 발생할 수 있는 문제(overclocking)를 제거하기 위해 delay 부분을 제거해 주는 기능입니다.

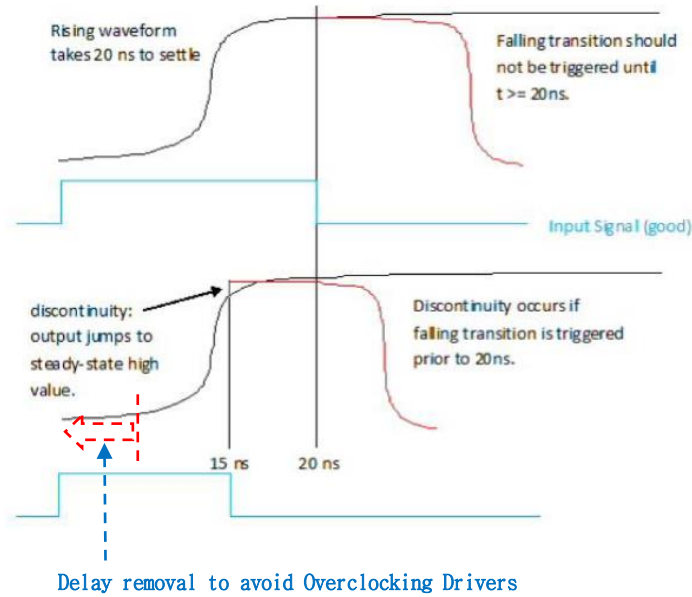


Figure 51. ACVS delay removal

Dara Rate Rule 설정:

JEDEC 규격의 DataRate 별 timing 및 voltage mask 및 measure 항목 값들에 대해서 Figure 52. 과 같이 저장된 rule 파일로 관리 및 Editing 할 수 있고, 저장된 rule 은 라이브러리처럼 선택하여 분석에 적용할 수 있습니다.

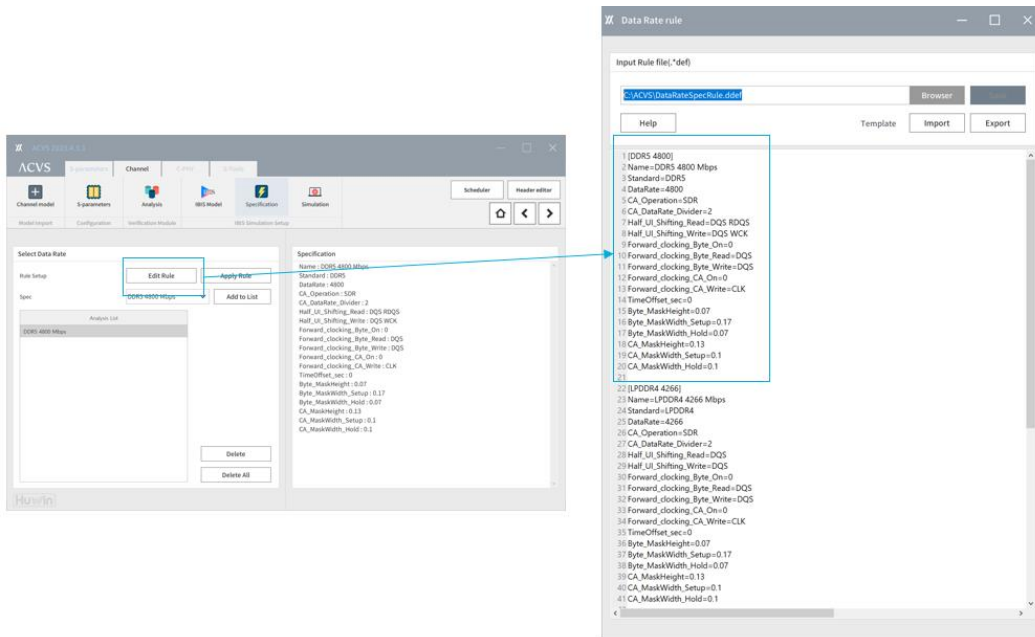


Figure 52. ACVS Ch. Spec. 설정: Data rate, SDR/DDR/QDR, timing/voltage Mask 등

Smart Pick 이용한 Serdes Ch. Configuration:

ACVS 에서 Serdes 채널 분석시 검색창을 통해서 특정 키워드를 가진 Port 의 탐색이 가능하고, Smart Pick 기능을 이용하면 특정 port 를 마우스로 Drag & Drop 하면 differential pair 의 모든 구성 port 들을 추정하여 자동으로 differential pair 채널을 구성합니다. 또한 Serdes 채널의 신호 방향은 채널 구성 후 화살표 방향을 클릭하여 설정할 수 있습니다.

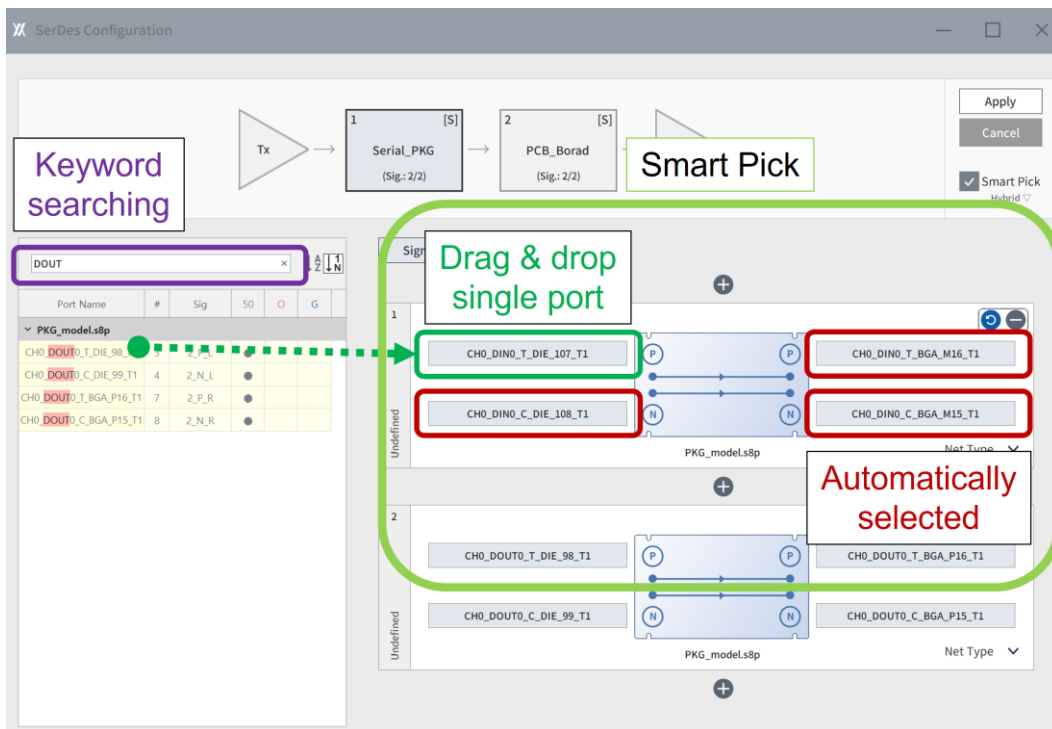
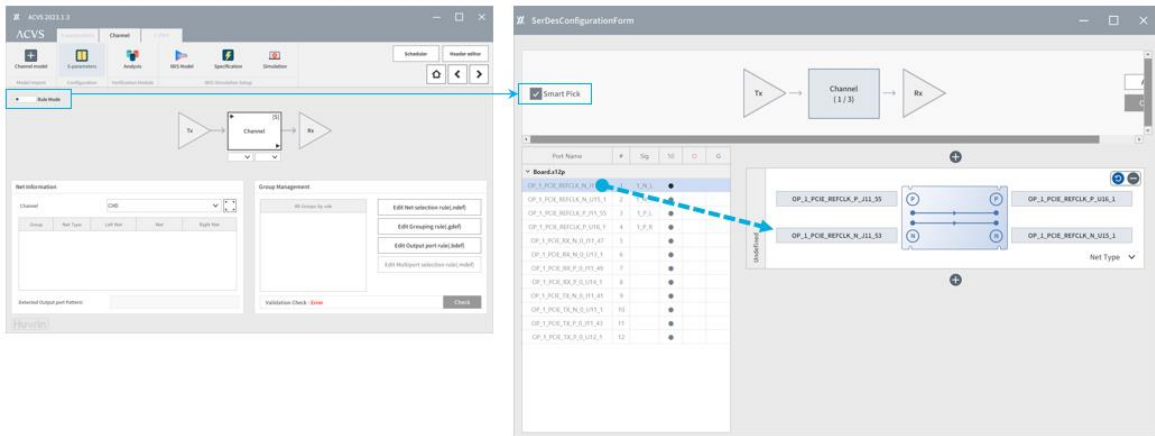


Figure 53. ACVS UI mode ‘Smart pick’ Ch. configuration

Analysis Run and Scheduler :

ACVS 의 분석 셋업이 된 후 Run 수행 버튼 (>)을 클릭하면 Figure 54. 와 같은 ACVS Scheduler 에 분석 Job 이 Add 됩니다. 각각의 분석 Job 은 순차적으로 수행이 되고, 올려진 Job 의 수행 순서를 바꿀 수 있습니다. Figure 55. 은 Progress Status 와 Log 를 나타내는 창입니다.

Job ID	User ID	Project name	Status	Submit time	Start time	End time
Job_8380	JYCho	PMT_Test	Done	2023-06-22 14:23:49	2023-06-22 14:23:54	2023-06-22 14:25:25
Job_9470	JYCho	[S-Designer] 20230727092522_ACVS_S-...	Done	2023-07-27 09:25:22	2023-07-27 09:25:27	2023-07-27 09:37:37
Job_6795	JYCho	[S-Designer] 20230727100558_ACVS_S-...	Done	2023-07-27 10:05:58	2023-07-27 10:05:59	2023-07-27 10:19:17
Job_8095	JYCho	[S-Designer] 20230811125537_ACVS_S-...	Done	2023-08-11 12:55:37	2023-08-11 12:55:42	2023-08-11 13:07:25
Job_9816	JYCho	[PerfectCal Pro] MS45_2x.s2p	Done	2023-08-24 19:27:08	2023-08-24 19:27:13	2023-08-24 19:27:43
Job_5421	JYCho	[PerfectCal Pro] MS45_2x.s2p	Done	2023-08-24 19:27:58	2023-08-24 19:27:58	2023-08-24 19:28:22
Job_2888	JYCho	[PerfectCal Pro] MS45_2x.s2p	Error	2023-08-24 19:28:41	2023-08-24 19:28:41	2023-08-24 19:28:53
Job_1831	JYCho	[PerfectCal Pro] MS45_2x.s2p	Done	2023-08-24 19:30:08	2023-08-24 19:30:09	2023-08-24 19:30:34
Job_7676	JYCho	[PerfectCal Pro] 2xThru_95ohm_50GHz.s4p	Done	2023-08-24 19:46:27	2023-08-24 19:46:27	2023-08-24 19:46:51
Job_8518	JYCho	[PerfectCal Pro] 2xThru_95ohm_50GHz.s4p	Done	2023-08-24 19:47:49	2023-08-24 19:47:49	2023-08-24 19:48:13
Job_6507	JYCho	[PerfectCal Pro] MS45_2x.s2p	Done	2023-08-28 19:06:37	2023-08-28 19:06:42	2023-08-28 19:07:11
Job_4418	JYCho	[PerfectCal Pro] MS45_2x.s2p	Done	2023-09-14 10:39:37	2023-09-14 10:39:42	2023-09-14 10:40:17
Job_1214	JYCho	DDR5_ㄱ#	Running	2023-12-04 13:27:13	2023-12-04 13:27:19	

Figure 54. ACVS Scheduler

Progress : Channel Loss / TDR / TDT

6%

Progress : IBIS analysis

0%

Log

```

[2022-05-10 17:15:29] Start Channel Verification
[2022-05-10 17:15:29] Import path : C:\ACVS_Test_LPDDR4
[2022-05-10 17:15:35] Start CombineSP (Component : Channel, Channel : CH0)
[2022-05-10 17:15:40] CombinedSP result : C:\ACVS\JYCho\Channel_analysis
\3_CH_Channel_CH0_combined.s52p
[2022-05-10 17:15:40] End CombineSP (Component : Channel, Channel : CH0)
[2022-05-10 17:15:40] Start CombineSP (Component : Channel, Channel : CH0)

```

Figure 55. ACVS Analysis progress Status

2.3.4. ACVS Ch. Verification Report

2.3.4.1. Full Ch. Basic SI report and Output

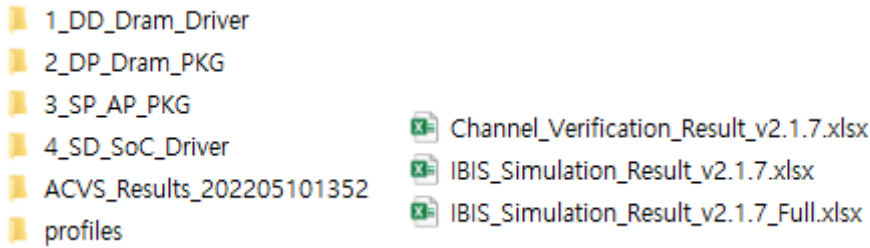


Figure 56. ACVS Results

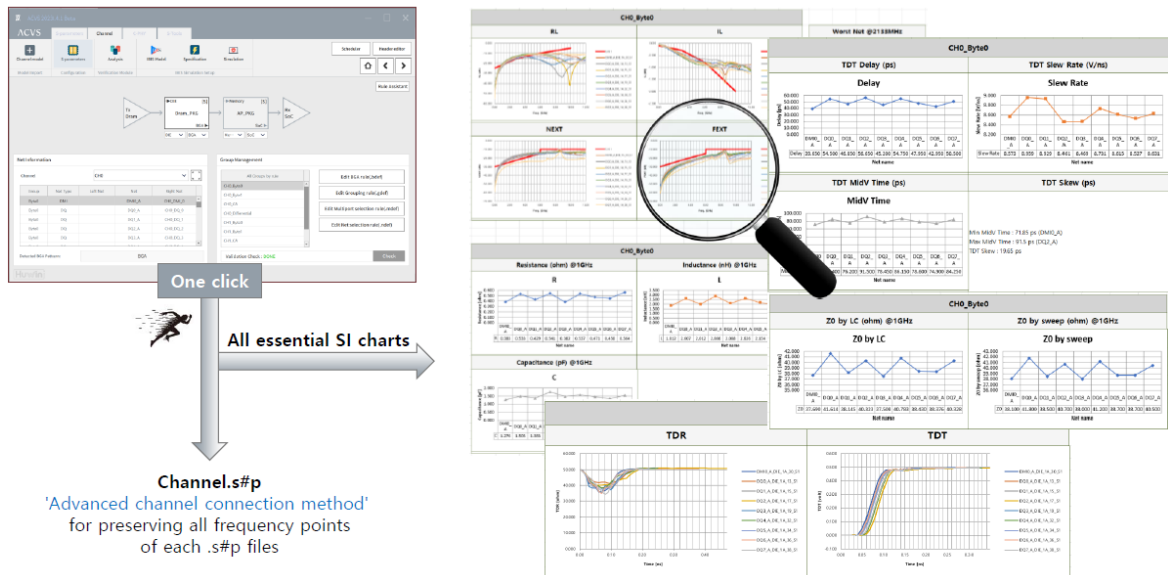


Figure 57. ACVS Basic SI results and output

ACVS 는 채널 S-parameter 모델에 대해 간편한 셋업으로 모든 SI 관련 차트와 결과 항목에 대한 자동 리포트를 Excel 파일 형식으로 생성합니다.

자동으로 생성된 Basic SI 결과 리포트에는 모든 채널 net 들에 대해 아래의 결과의 차트가 생성됩니다.

- Insertion Loss
- Return Loss
- X-talk (PSNEXT, PSFEXT: Power Sum near-end crosstalk, Power Sim far-end cross-talk)
- Group delay

- RLC extraction
- Z0 estimation
- TDR
- TDT
- Skew

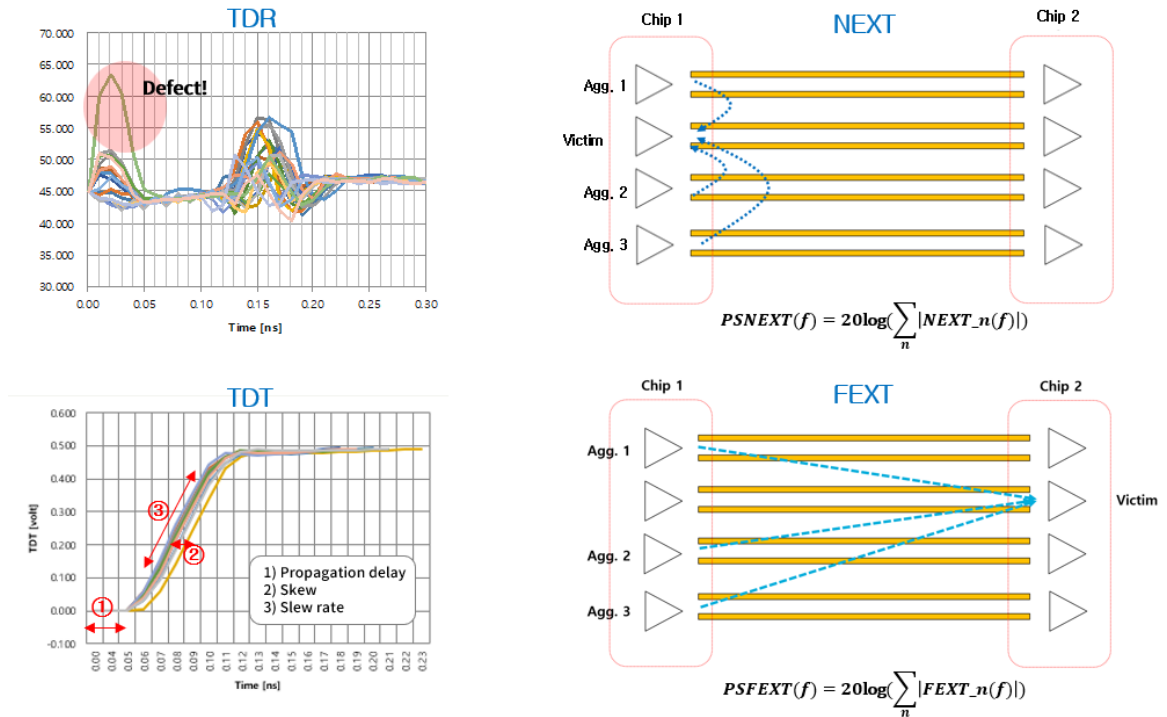


Figure 58. ACVS TDR/TDT 결과 차트 및 NEXT, FEXT 정의

ACVS Basic SI Report 는 Full Transient 분석 전 검증이므로 다음과 같이 유용하게 사용될 수 있습니다.

- PKG 전체 net model 의 RLC/Z0 pass/fail 검증 및 관리
- PKG/PCB 전체 net model 의 TDR/TDT pass/fail 검증
- PKG/PCB model cascading 및 Transient 해석에 적합한 S-parameter 모델 추출
- PKG/PCB 전체 net model 의 IL/RL/NEXT/FEXT pass/fail 검증
- Silicon Interposer 전체 net model 의 IL/RL/NEXT/FEXT/TDR/TDT pass/fail 검증
- Connector model 의 IL/RL/NEXT/FEXT/TDR/TDT pass/fail 검증
- 설계 채널 모델의 SI 검증(sign-off) 리포트 생성 DB화 및 공유

2.3.4.2. Full Ch. Eye report

ACVS 는 Basic SI 리포트 외에 각 채널 net 들에 대한 Memory-IBIS (Eye) 분석 리포트를 자동으로 생성합니다. Memory-IBIS (Eye) 분석 리포트는 차트가 그림으로 캡처 된 버전과, raw data 를 링크하여 Figure 59. 와 같이 Chart viewer 를 띄울 수 있는 full 버전의 두가지 파일로 저장됩니다.

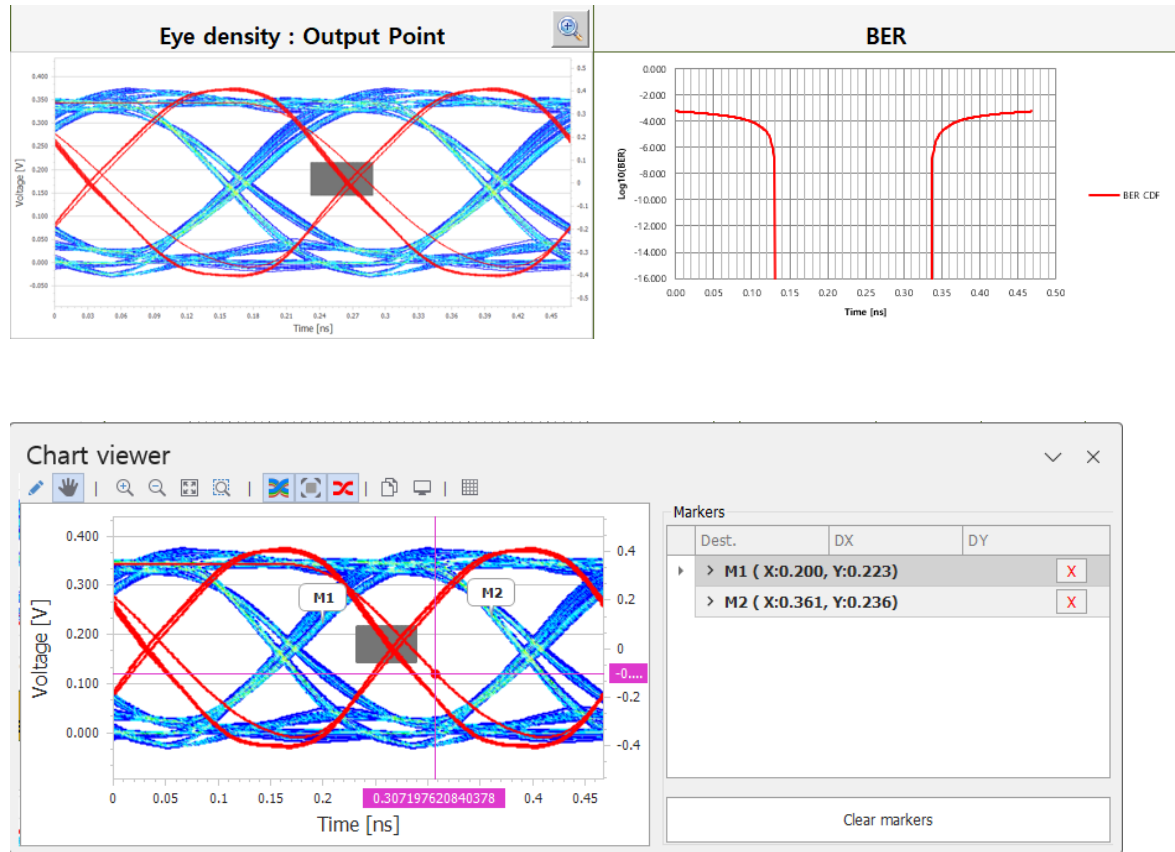


Figure 59. ACVS Eye diagram/BER Chart and Chart viewer

Eye measure 값들은 Figure 60. 과 같이 각 net 에 대해 자동으로 표로 작성이 됩니다.

Measured Result							
Signal	Eye Width (ps)	Eye Width (UI)	Eye Width margin (ps)	Eye Width margin (UI)	Eye Height (mV)	Eye Height margin (mV)	Eye Vref. (mV)
DRAML_DM_DBI0	175.340	74.800%	119.081	50.800%	193.748	123.748	180.116
DRAML_DQ0	169.714	72.400%	113.455	48.400%	196.250	126.250	180.116
DRAML_DQ1	175.340	74.800%	119.081	50.800%	261.019	191.019	180.116
DRAML_DQ2	173.465	74.000%	117.206	50.000%	239.990	169.990	180.116
DRAML_DQ3	172.527	73.600%	116.268	49.600%	253.931	183.931	180.116
DRAML_DQ4	166.901	71.200%	110.642	47.200%	157.030	87.030	180.116
DRAML_DQ5	172.527	73.600%	116.268	49.600%	225.344	155.344	180.116
DRAML_DQ6	172.527	73.600%	116.268	49.600%	187.472	117.472	180.116
DRAML_DQ7	168.776	72.000%	112.518	48.000%	178.808	108.808	180.116

Figure 60. ACVS Measured Eye results

ACVS 는 Figure 61. 과 같이 PAM4 modulation 이 적용된 경우에 대한 Eye 결과를 제공합니다.

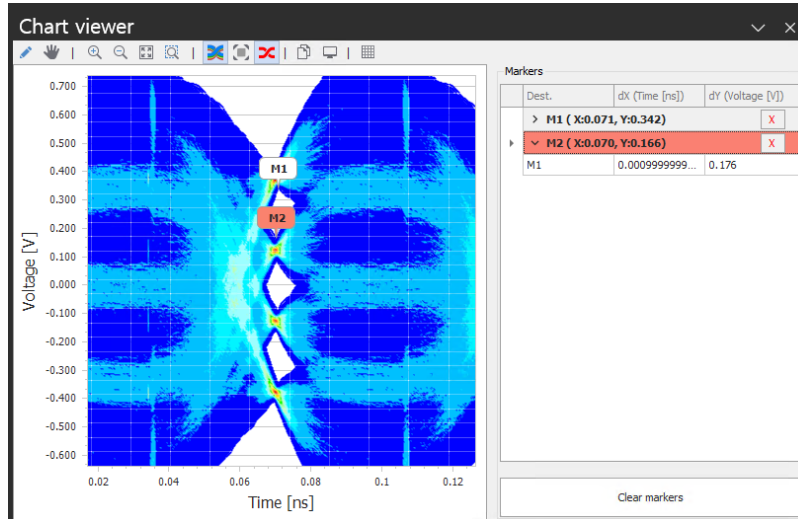


Figure 61. ACVS PAM4(Modulation Levels =4) 신호 wave form view

2.3.4.3. ChartNX

ChartNX 는 ACVS 분석 결과에 대하여 사용자가 직접 Chart 를 구성하고 측정 및 편집할 수 있는 ACVS 의 Standalone chart tool 입니다. 기존의 회로 시뮬레이터에 포함된 chart tool 의 장점을 계승하고 단점을 극복하면서 Signal/Power integrity 분야에 더욱 특화된 전문 chart tool 입니다. 사용자에게 의해 설정된 chart project 는 분석 저장 및 공유가 가능하여 부서 및 업체 간의 협업에 효율성을 향상시킬 수 있습니다.

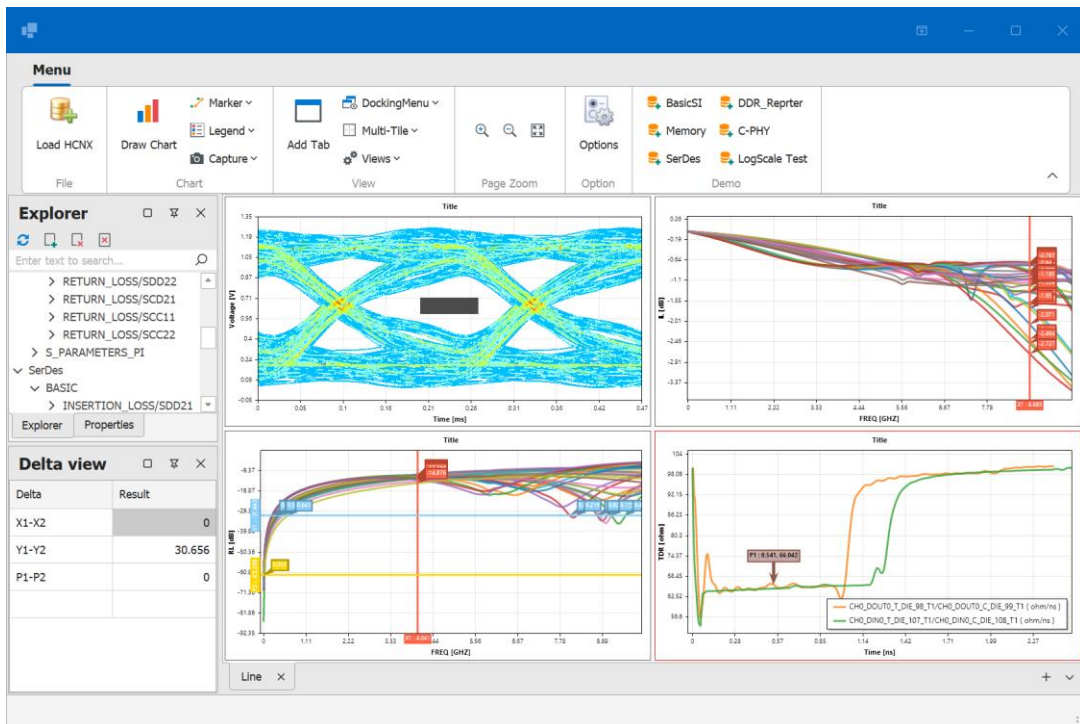


Figure 62. ChartNX: The Advanced and Innovative Standalone Charting Tool

2.4. * snpview.com

www.snpview.com 은 Huwin ACVS 의 solver 가 일부 반영된 웹 기반 free S-parameter view 및 시뮬레이션 flatform 입니다. 구글 Chrome 및 마이크로소프트 Edge 브라우저에서 문제없이 동작합니다. (IE explore 는 지원하지 않습니다.)

웹페이지에 접속하여 포트 수 제한 없이 S-parameter 를 load 할 수 있으나, ACVS 에서 전체 net 에 대해 자동 리포트를 생성하는 것과 달리, snpview.com 에서는 단일 net 단위로 선택하여 plot 과 simulation 및 결과를 공유할 수 있습니다.

Snpview.com 은 ACVS 의 SimNX 엔진을 클라우드 컴퓨팅 환경에 적합하도록 최적화하여 Basic SI 및 Time domain simulation 결과를 net 단위로 제공하며, 이를 통해 정확한 TDR/TDT/Eye 시뮬레이션 결과를 무상으로 확인할 수 있습니다. 웹 UI 의 제한으로 User 가 가지고 있는 실제 IBIS 및 IBIS-AMI 모델을 이용한 시뮬레이션은 현재 제공하지 않습니다. 대신에 IBIS-AMI 모델의 EQ 기능을 확인해 볼 수 있는 기능(ChannelView)을 제공합니다.

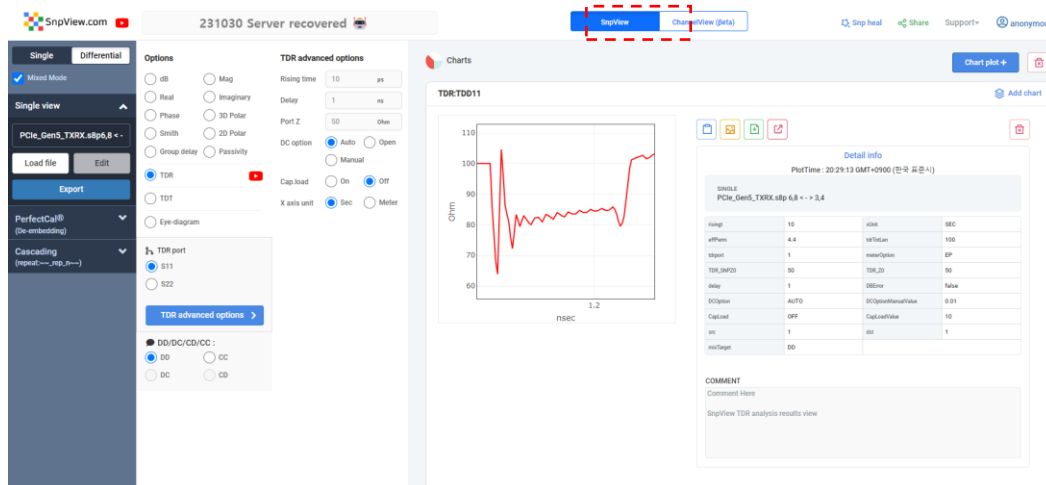


Figure 63. Snpview.com/ SnpView : differential TDR plot example

또한 S-Parameter 에 대한 Enforce causality 와 Enforce passivity 의 Snp heal 기능을 제공합니다.

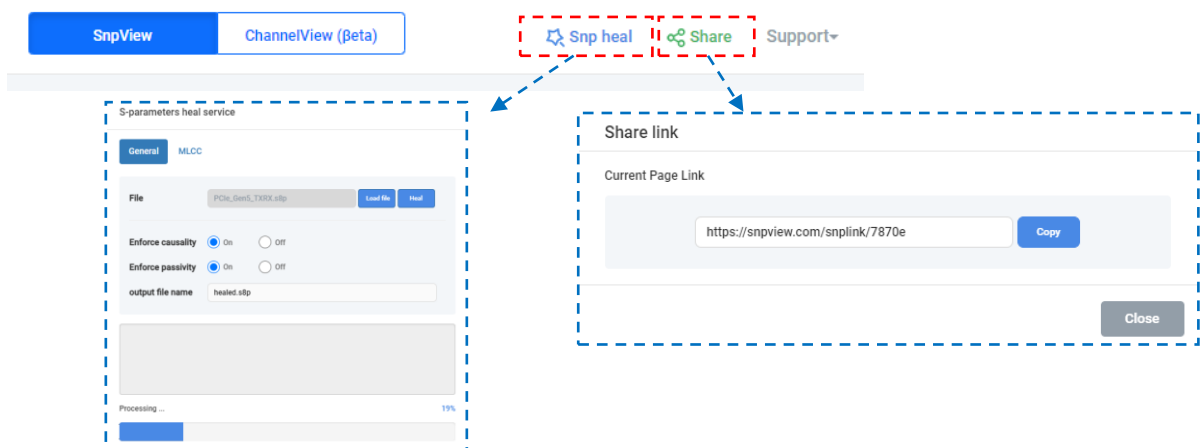


Figure 64. Snpview.com : Snp heal , results/comment view Share

Share link 기능은 현재 plot 된 결과와 comments 및 S-parameters link 를 전달하는 기능이며, 엔지니어간에 link 를 공유하여 snpview 의 결과를 공유하고 추가적으로 다른 항목의 결과도 plot 을 해 볼 수 있습니다. (* share 기능 사용시는 구글 크롬 login 이 필요합니다.)

그리고 최근 SnpView 기능 외에 ChannelView 기능을 추가하여 웹 상에서 무상으로 채널 시뮬레이션을 할 수 있도록 서비스를 개시(현재 beta release)하였습니다.

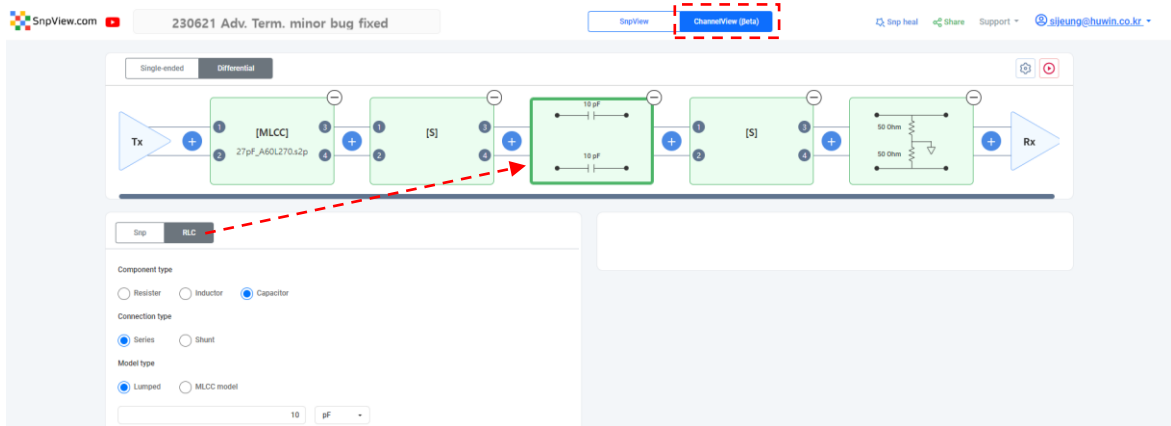


Figure 65. SnpView.com / ChannelView : Ch. Setup (Tx/Snp/RLC/Rx)

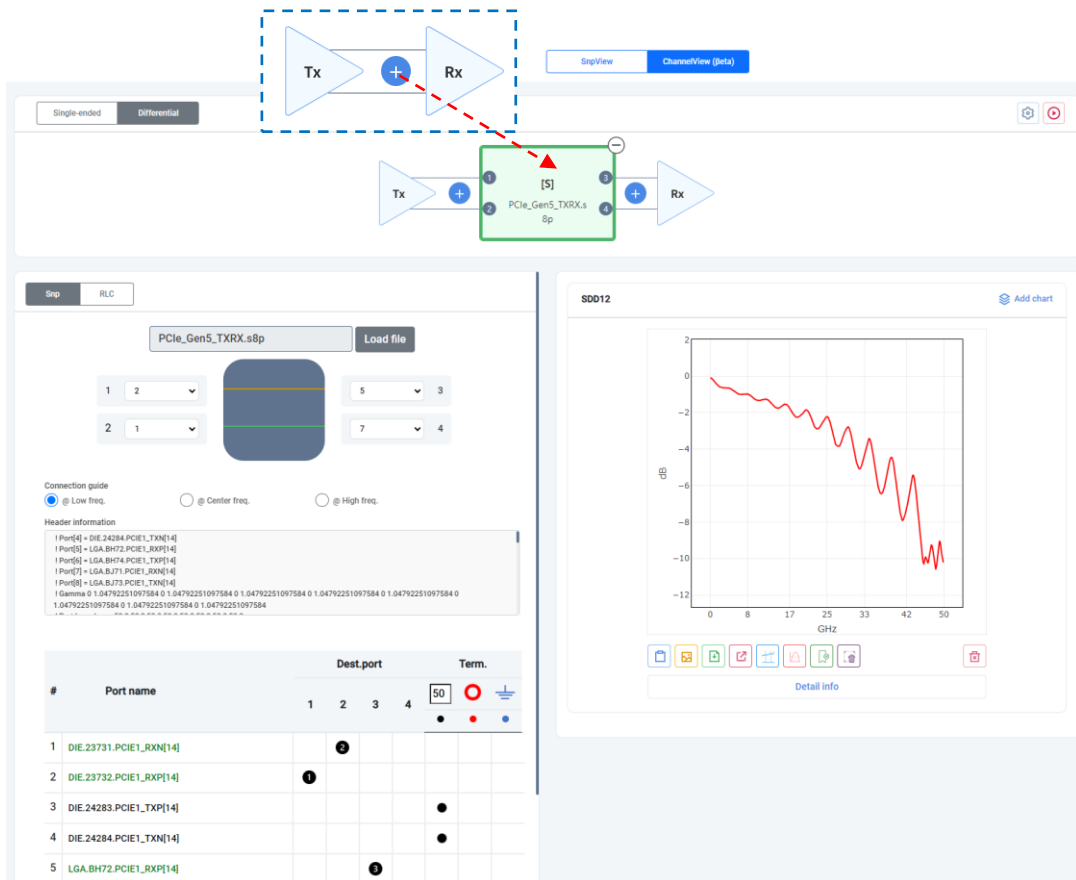


Figure 66. Snpview. com / ChannelView : Ch. S-parameter(Snp) setup

ChannelView 는 채널에 직/병렬 RLC 또는 MLCC S-parameter 등을 연결할 수 있고, 이에 대한 Basic/TDR/TDT/Eye 분석 결과를 확인할 수 있습니다.

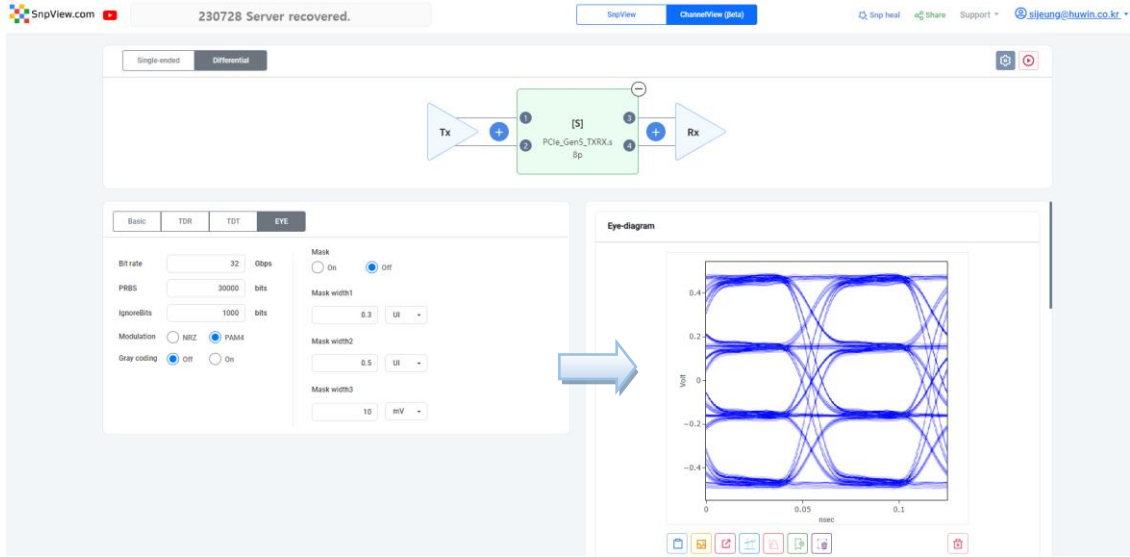


Figure 67. SnpView.com / ChannelView : Ch. Results plot

또한 Tx 와 Rx 모델의 Driver 및 Jitter 와 EQ 조건을 적용하여 Eye 결과를 확인할 수 있습니다.

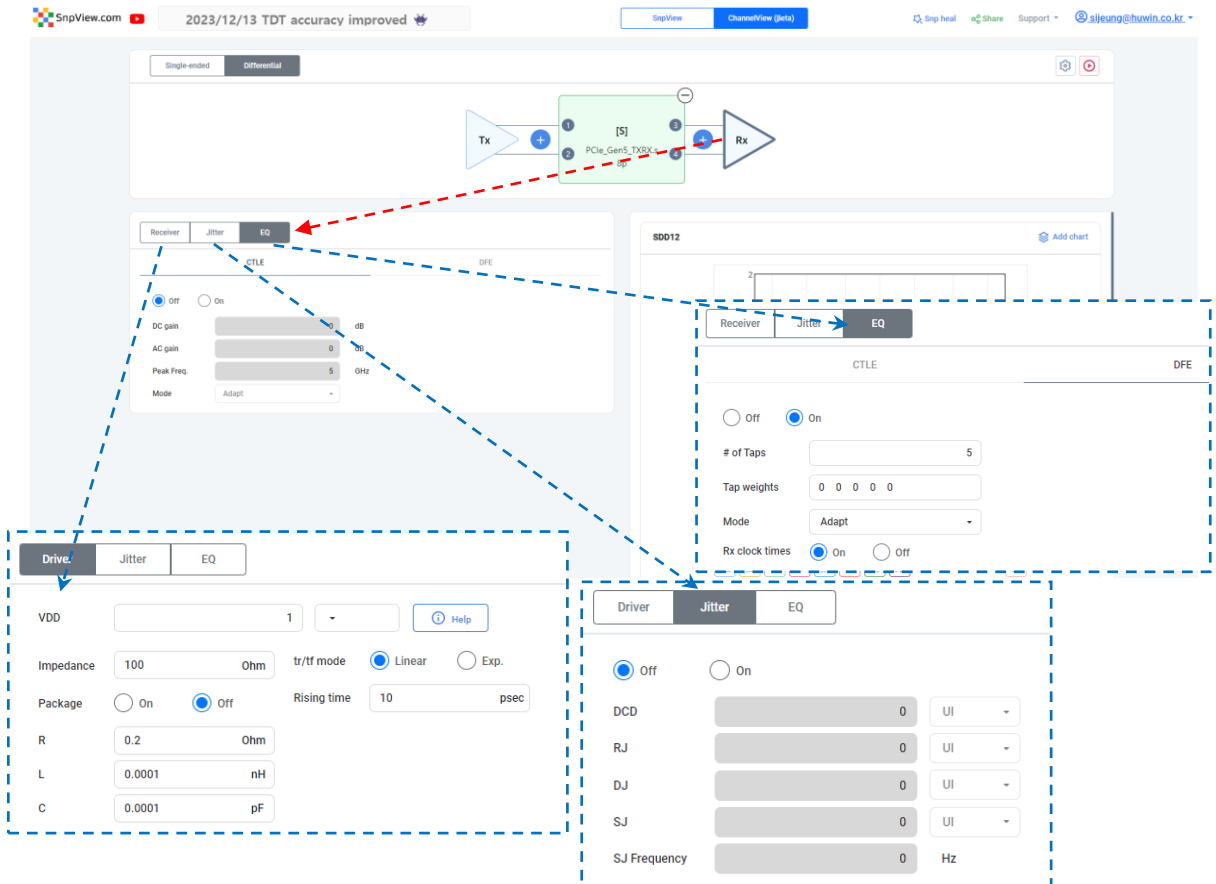


Figure 68. SnpView.com / ChannelView : Tx/Rx Driver/Jitter/EQ setup

SnpView.com 에는 이 외에도 PerfectCal lite 버전을 제공합니다. ACVS 에서 제공되는 PerfectCal Pro 의 주요 기능을 제공하여, 매우 정확한 결과를 무상으로 확인해 볼 수 있습니다. (보다 정밀한 De-embedding 을 위해서는 ACVS PerfectCal Pro 의 이용을 권장합니다.)

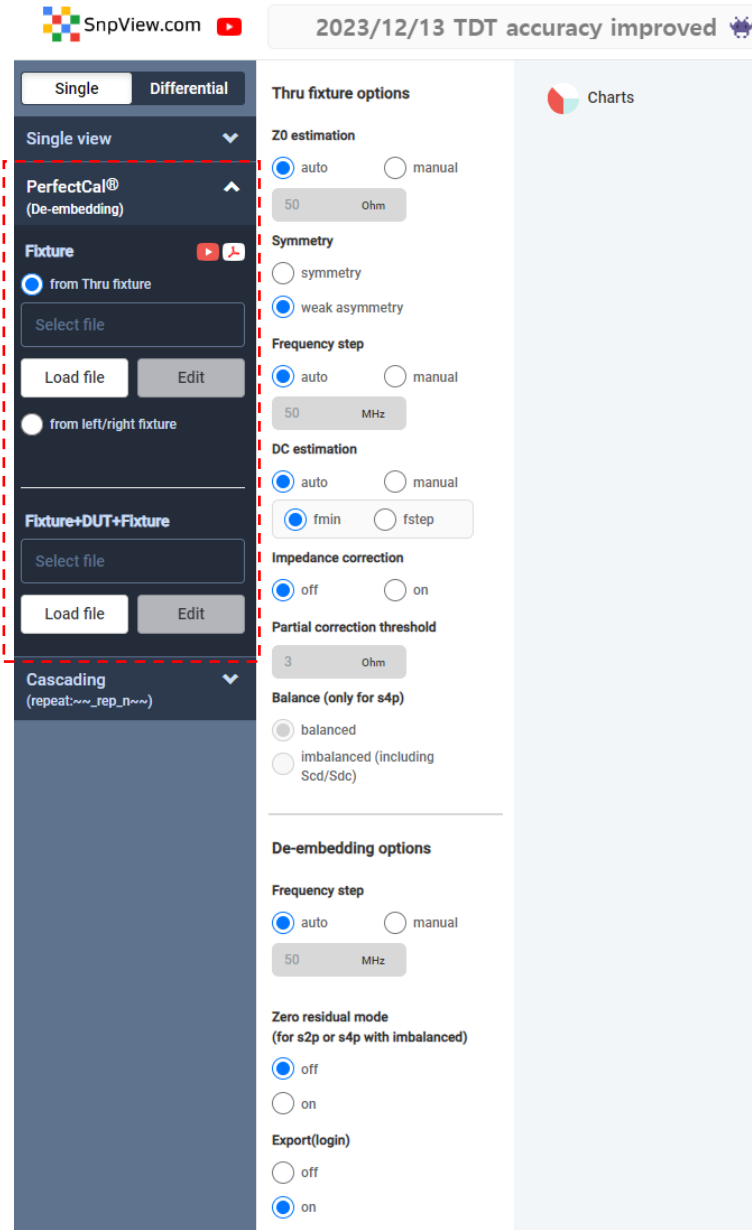


Figure 69. SnpView.com : PerfectCal® -> free Deembedding

2.5. Summary

고성능 반도체의 PKG/PCB 설계 과정에서는 초고밀도 배선, 초고속 신호 채널에 대한 정밀한 EM 시뮬레이션과 Advanced 시스템 분석 통한 자동화 SI 검증 솔루션(ACVS) 필수적입니다. ACVS 는 Simulation integrity 고려된 SI 전문 솔루션으로서, 자동으로 EM 시뮬레이션을 수행하여 S-파라미터 모델을 추출하며, 최신 규격의 고속 데이터 전송의 요구 사항에 대한 만족 여부(Pass/Fail)를 빠르고 정확하게 검증(Basic SI 및 Advanced SI analysis)함으로써 여러 번의 설계 Revision 과정에서의 시간과 효율을 획기적으로 줄여주어 고성능 칩 설계에서 경쟁력 있는 first pass system success 와 time to market 이 가능하도록 하는 솔루션입니다.

2.6. Reference

- [1] <https://3dfabric.tsmc.com/>
- [2] <https://twitter.com/highyieldYT/status/1642171182681128963>
- [3] JESD238A, JEDEC Standard, High Bandwidth Memory DRAM (HBM3)
- [4] JESD209-5C, JEDEC Standard, Low Power Double Data Rate (LPDDR) 5/5X
- [5] JESD79-5, JEDEC Standard, DDR5 SDRAM
- [6] JESD250C, JEDEC Standard, Graphics Double Data Rate (GDDR6) SGRAM Standard
- [7] UCIE_1p0_with_legal_disclaimer_July_26th_2022.pdf, Universal Chiplet Interconnect Express (UCIe)
- [8] <https://www.uciexpress.org/>